

S6 1 PN="60-012760"  
?t 6/5/1

6/5/1  
DIALOG(R) File 347:JAPIO  
(c) 2002 JPO & JAPIO. All rts. reserv.

01534260 \*\*Image available\*\*  
PHOTOELECTRIC CONVERSION DEVICE

PUB. NO.: 60-012760 [JP 60012760 A]  
PUBLISHED: January 23, 1985 (19850123)  
INVENTOR(s): OMI TADAHIRO  
TANAKA NOBUYOSHI  
APPLICANT(s): OMI TADAHIRO [000000] (An Individual), JP (Japan)  
APPL. NO.: 58-120752 [JP 83120752]  
FILED: July 02, 1983 (19830702)  
INTL CLASS: [4] H01L-027/14; H01L-029/76; H04N-005/335  
JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 44.6  
(COMMUNICATION -- Television)  
JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,  
MOS); R098 (ELECTRONIC MATERIALS -- Charge Transfer Elements,  
CCD & BBD)  
JOURNAL: Section: E, Section No. 318, Vol. 09, No. 126, Pg. 24, May  
31, 1985 (19850531)

#### ABSTRACT

PURPOSE: To construct the titled device which can sufficiently achieve high resolution by a method wherein a transistor is composed of the main electrode region of one conductivity type and the control electrode region of reverse conductivity type, and the control electrode is put into floating state, the potential of which electrode is then controlled by a capacitor and the transistor.

CONSTITUTION: An  $n(\text{sup } -)$  type layer 5 serving as the collector region is epitaxially grown on the surface of an  $n$  type or  $n(\text{sup } +)$  type Si substrate 1, which layer is then formed in island form by means of an element isolation region 4 of  $\text{SiO}(\text{sub } 2)$ , etc. Next, a p-base region 6 is diffusion-formed in the surface layer part of the island-formed layer 5, an  $n(\text{sup } +)$  type emitter region 7 being provided therein, and the entire surface being covered with an  $\text{SiO}(\text{sub } 2)$  film 3. Then, an aperture is bored, and an Al wiring 8 contacting the region 7 is provided while being extended over the edge of the film 3. Besides, an electrode 9 is adhered on the film 6 via film 3, and the entire surface including those is protected with a PSG film 2. The region 6 is kept in floating state in such a construction, and the potential thereof is controlled by the capacitor consisting of the electrode 9, film 3, and region 6, and the bi-polar transistor consisting of the regions 7, 6 and the layer 5, thus being made to carry out the accumulation and read-out of carriers and the refreshing action.

⑬ 日本国特許庁 (JP)

⑭ 特許出願公開

⑫ 公開特許公報 (A)

昭60—12760

⑮ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑯ 公開 昭和60年(1985)1月23日

H 01 L 27/14

6732—5F

29/76

6851—5F

H 04 N 5/335

6940—5C

発明の数 1

審査請求 未請求

(全 38 頁)

⑭ 光電変換装置

⑰ 発明者 田中信義

東京都世田谷区松原2の15の13

⑱ 特 願 昭58—120752

⑲ 出 願 人 大見忠弘

⑲ 出 願 昭58(1983)7月2日

仙台市米ヶ袋2—1—17—301

⑲ 発明者 大見忠弘

⑲ 代理人 弁理士 山下稔平

仙台市米ヶ袋2—1—17—301

明 細 書

1 発明の名称

光電変換装置

2 特許請求の範囲

1 同導電型領域よりなる2個の主電極領域と該主電極領域と反対導電型の制御電極領域よりなる半導体トランジスタの該制御電極領域を浮遊状態にし、該浮遊状態にした制御電極領域の電位を、キャパシタを介して制御することにより、該浮遊状態にした制御電極領域に、光により発生したキャリアを蓄積する蓄積動作、蓄積動作により該制御電極領域に発生した蓄積電圧を読出す読出し動作、該制御電極領域に蓄積されたキャリアを消滅させるリフレッシュ動作をそれぞれさせる構造の光電変換装置において、該浮遊状態になされた制御電極領域と同導電型の品不純物領域を設け、浮遊状態になされた制御電極領域とトランジスタ構造をなしたことを特徴とする光電変換装置。

3 発明の詳細な説明

本発明は光電変換装置に関する。

近年光電変換装置類に、固体撮像装置に関する研究が、半導体技術の進展と共に積極的に行なわれ、一部では実用化され始めている。

これらの固体撮像装置は、大きく分けるとCCD型とMOS型の2つに分類される。CCD型撮像装置は、MOSキャパシタ電極下にポテンシャルの井戸を形成し、光の入射により発生した電荷をこの井戸に蓄積し、読出し時には、これらのポテンシャルの井戸を、電極にかかるパルスにより順次動かして、蓄積された電荷を出力アンプ部まで転送して読出すという原理を用いている。またCCD型撮像装置の中には、受光部はpn接合フォトダイオード構造を使い、転送部はCCD構造で行なうというタイプのものもある。また一方、MOS型撮像装置は、受光部を構成するpn接合よりなるフォトダイオードの夫々に光の入射により発生した電荷を蓄積し、読出し時には、それぞれのフォトダイオードに接続されたMOSスイッチン

グトランジスタを順次オンすることにより蓄積された電荷を出力アンプ部に読出すという原理を用いている。

C C D型撮像装置は、比較的簡単な構造をもち、また、発生し得る雑音からみても、最終段におけるフローティング・ディフュージョンよりなる電荷検出器の容量値だけがランダム雑音に寄与するので、比較的純度の高い撮像装置であり、低照度撮影が可能である。ただし、C C D型撮像装置を作るプロセス的制約から、出力アンプとしてM O S型アンプがオンチップ化されるため、シリコンと、S i O<sub>2</sub>膜との界面から両極上、目につきやすい1/f雑音が発生する。従って、低雑音とはいいながら、その性能に限界が存在している。また、高解像度化を図るためにセル数を増加させて高密度化すると、一つのポテンシャル井戸に蓄積できる最大の電荷量が減少し、ダイナミックレンジがとれなくなるので、今後、固体撮像装置が高解像度化されていく上で大きな問題となる。また、C C D型の撮像装置は、ポテンシャルの井戸

を順次動かしながら蓄積電荷を転送していくわけであるから、セルの一つに欠陥が存在してもそこで電荷転送がストップしたり、あるいは、極端に悪くなってしまい、製造歩留りが上がらないという欠点も有している。

これに対してM O S型撮像装置は、構造的にはC C D型撮像装置、特にフレーム転送型の装置に比較して少し複雑ではあるが、蓄積容量を大きくし得る様に構成でき、ダイナミックレンジを広くとれるという優位性をもつ。また、たとえセルの一つに欠陥が存在しても、X-Yアドレス方式のためその欠陥による他のセルへの影響がなく、製造歩留りの点には有利である。しかしながら、このM O S型撮像装置では、信号読出し時に素ファットダイオードに配線容量が接続されるため、きわめて大きな信号電圧ドロップが発生し、出力電圧が下がってしまうこと、配線容量が大きく、これによるランダム雑音の発生が大きいこと、また素ファットダイオードおよび水平スキャン用のM O Sスイッチングトランジスタの寄生容量のばらつき

による固定パターン雑音の発生等があり、C C D型撮像装置に比較して低照度撮影はむずかしいこと等の欠点を有している。

また、将来の撮像装置の高解像度化においては各セルのサイズが縮小され、蓄積電荷が減少していく。これに対しチップサイズから決まってくる配線容量は、たとえ線幅を細くしてもあまり下がらない。このため、M O S型撮像装置は、ますますS/N的に不利になる。

C C D型およびM O S型撮像装置は、以上の様な一長一短を有しながらも次第に実用化レベルに近づいてきている。しかし、さらに将来必要とされる高解像度化を進めていくうえで本質的に大きな問題を有しているといえる。

それらの固体撮像装置に関し、特開昭58-150878“半導体撮像装置”、特開昭58-157073“半導体撮像装置”、特開昭58-185473“半導体撮像装置”に新しい方式が提案されている。C C D型、M O S型の撮像装置が、光入射により発生した電荷を素電極（例えばM O Sトランジスタのソー

ス）に蓄積するのに対して、ここで提案されている方式は、光入射により発生した電荷を、制御電極（例えばバイポーラ・トランジスタのベース、S I T（静電誘導トランジスタ）あるいはM O Sトランジスタのゲート）に蓄積し、光により発生した電荷により、流れる電流をコントロールするという新しい考え方にもとづくものである。すなわち、C C D型、M O S型が、蓄積された電荷そのものを外部へ読出してくるのに対して、ここで提案されている方式は、各セルの増幅機能により電荷増幅してから蓄積された電荷を読出すわけであり、また見方を変えたとインピーダンス変換により低インピーダンス出力として読出すわけである。従って、ここで提案されている方式は、高出力、広いダイナミックレンジ、低雑音であり、かつ、光信号により動起されたキャリア（電荷）は制御電極に蓄積することから、非破壊読出しができる等のいくつかのメリットを有している。さらに将来の高解像度化に対しても可能性を有する方式であるといえる。

しかしながら、この方式は、基本的にX-Yアドレス方式であり、上記公報に記載されている素子構造は、従来のMOS型微細装置の各セルにバイポーラトランジスタ、SITトランジスタ等の増幅素子を複合化したものを基本構成としている。そのため、比較的複雑な構造をしており、高解像化の可能性を有しながらも、そのままでは高解像化には限界が存在する。

本発明は、各セルに増幅機能を有するもきわめて簡単な構造であり、将来の高解像度化にも十分対応しうる新しい光電変換装置を提供することを目的とする。

かかる目的は、同導電層領域よりなる2個の主電極領域と該主電極領域と反対導電型の制御電極領域よりなる半導体トランジスタの該制御電極領域を浮遊状態にし、該浮遊状態にした制御電極領域の電位を、キャパシタを介して制御することにより、該浮遊状態にした制御電極領域に、光により発生したキャリアを蓄積する蓄積動作、蓄積動作により該制御電極領域に発生した蓄積電圧を読

出す読出し動作、該制御電極領域に蓄積されたキャリアを消滅させるリフレッシュ動作をそれぞれさせる構造の光電変換装置において、該浮遊状態になされた制御電極領域と同導電型の高不純物領域を設け、浮遊状態になされた制御電極領域とトランジスタ構造をなしたことを特徴とする光電変換装置によって達成される。

以下に本発明の実施例を図面を用いて詳細に説明する。

第1図は、本発明の一実施例に係る光電変換装置を構成する光センサセルの基本構造および動作を説明する図である。

第1図(a)は、光センサセルの平面図を、第1図(b)は、第1図(a)平面図のA-A'部分の断面図を、第1図(c)は、その等価回路をそれぞれ示す。なお、各図位において第1図(a),(b),(c)に共通するものについては同一の番号をつけている。

第1図では、整列配置方式の平面図を示したが、水平方向解像度を高くするために、縦書きらし方式(補間配置方式)にも配置できることはもちろんのことである。

この光センサセルは、第1図(a),(b)に示すごとく、

リン(P)、アンチモン(Sb)、ヒ素(As)等の不純物をドーピングしてn型又はn<sup>+</sup>型とされたシリコン基板1の上に、通常P-S-G膜等で構成され

るパシベーション膜2；

シリコン酸化膜(SiO<sub>2</sub>)より成る絶縁膜化膜3；

となり合う光センサセルとの間を電気的に絶縁するためのSiO<sub>2</sub>あるいはSi<sub>3</sub>N<sub>4</sub>等よりなる絶縁膜又はポリシリコン膜等で構成される素子分離領域4；

エピタキシャル技術等で形成される不純物濃度の低いn<sup>-</sup>領域5；

その上の例えば不純物拡散技術又はイオン注入技術を用いてボロン(B)等の不純物をドーピングしたバイポーラトランジスタのベースとなるp領域6；

不純物拡散技術、イオン注入技術等で形成されるバイポーラトランジスタのエミッタとなるn<sup>+</sup>領域7；

信号を外部へ読出すための、例えばアルミニウム(Al)、Al-Si、Al-Cu-Si等の導電材料で形成される配線8；

絶縁膜3を通して、浮遊状態になされたp領域

6にパルスを加えるための電極9:

その配線10:

基板1の裏面にオーミックコンタクトをとるために不純物拡散技術等で形成された不純物濃度の高い $n^+$ 領域11:

基板の電位を与える、すなわちバイポーラトランジスタのコレクタ電位を与えるためのアルミニウム等の導電材料で形成される電極12:  
より構成されている。

なお、第1図(a)の19は $n^+$ 領域7と配線8の接続をとるためのコンタクト部分である。又配線8および配線10の交差する部分はいわゆる2層配線となっており、 $SiO_2$ 等の絶縁材料で形成される絶縁領域で、それぞれ互いに絶縁されている。すなわち、金属の2層配線構造になっている。

第1図(c)の等価回路のコンデンサ $C_{01}$ 13は電極9、絶縁膜3、 $p$ 領域6のMOS構造より構成され、又バイポーラトランジスタ14はエミッタとしての $n^+$ 領域7、ベースとしての $p$ 領域

6、不純物濃度の小さい $n^-$ 領域5、コレクタとしての $n$ 又は $n^+$ 領域1の各部分より構成されている。これらの図面から明らかなように、 $p$ 領域6は厚さ領域になされている。

第1図(c)の第2の等価回路は、バイポーラトランジスタ14をベース・エミッタの接合容量 $C_{be}$ 15、ベース・エミッタの $p-n$ 接合ダイオード $D_{be}$ 16、ベース・コレクタの接合容量 $C_{bc}$ 17、ベース・コレクタの $p-n$ 接合ダイオード $D_{bc}$ 18を用いて表現したものである。

以下、光センサセルの基本動作を第1図を用いて説明する。

この光センサセルの基本動作は、光入射による電荷蓄積動作、読出し動作およびフレッシュ動作より構成される。電荷蓄積動作においては、例えばエミッタは、配線8を通して接地され、コレクタは配線12を通して正電位にバイアスされている。またベースは、あらかじめコンデンサ $C_{01}$ 13に、配線10を通して正のパルス電圧を加えることにより負電位、すなわち、エミッタ

7に対して逆バイアス状態にされているものとする。この $C_{01}$ 13にパルスを加えてベース6を正電位にバイアスする動作については、後にリフレッシュ動作の説明のとき、くわしく説明する。

この状態において、第1図に示す様に光センサセルの表面から光20が入射してくると、半導体内部において電子・ホール対が発生する。この内、電子は、 $n$ 領域1が正電位にバイアスされているので $n$ 領域1側に流れだしていき、ホールは $p$ 領域6にどんどん蓄積されていく。このホールの $p$ 領域6への蓄積により $p$ 領域6の電位は次第に正電位に向かって変化していく。

第1図(a),(b)でも各センサセルの受光面下面は、ほとんど $p$ 領域で占られており、一層 $n^+$ 領域7となっている。当然のことながら、光により動起される電子・ホール対濃度は表面に近い程大きい。このため $p$ 領域6中にも多くの電子・ホール対が光により動起される。 $p$

領域中に光動起された電子が再結合することなく $p$ 領域6からただちに流れ出て、 $n$ 領域に吸収されるような構造にしておけば、 $p$ 領域6で動起されたホールはそのまま蓄積されて、 $p$ 領域6を正電位方向に変化させる。 $p$ 領域6の不純物濃度が均一になされている場合には、光で動起された電子は拡散で、 $p$ 領域6と $n^-$ 領域5との $p-n$ 接合部まで流れ、その後は $n^-$ 領域に加わっている強い電界によるドリフトで $n$ コレクタ領域1に吸収される。もちろん、 $p$ 領域6内の電子の走行を拡散だけで行なってもよいわけであるが、表面から内部に行くほど $p$ ベースの不純物濃度が減少するように構成しておけば、この不純物濃度差により、ベース内に内部から表面に向う電界 $E_d$ 、

$$E_d = \frac{1}{W_0} \cdot \frac{k}{q} \cdot T \cdot \ln \frac{N_{A0}}{N_{A1}}$$

が発生する。ここで、 $W_0$ は $p$ 領域6の光入射側表面からの厚さ、 $k$ はボルツマン定数、 $T$ は絶対温度、 $q$ は1価電荷、 $N_{A0}$ は $p$ ベース領域6の表面不純物濃度、 $N_{A1}$ は $p$ 領域6の $n^-$ 高抵抗領域

Sとの界面における不純物濃度である。

ここで、 $N_{As}/N_{Al} > 3$ とすれば、p領域6内の電子の走行は、拡散よりはドリフトにより行なわれるようになる。すなわち、p領域6内に光により励起されるキャリアを針射として有効に動作させるためには、p領域6の不純物濃度は光入射側表面から内部に向かって減少しているようになっていることが望ましい。拡散でp領域6を形成すれば、その不純物濃度は光入射側表面にくらべ内部に行くほど減少している。

センサセルの受光面下の一部は、n<sup>+</sup>領域7により占められている。n<sup>+</sup>領域7の厚さは、通常0.2～0.3 μm程度、あるいはそれ以下に設計されるから、n<sup>+</sup>領域7で吸収される光の量は、もともとあまり多くはないのでそれ程問題は無い。ただ、短波長側の光、特に青色光に対しては、n<sup>+</sup>領域7の存在は感度低下の原因になる。n<sup>+</sup>領域7の不純物濃度は通常 $1 \times 10^{18} \text{ cm}^{-3}$ 程度あるいはそれ以上に設計される。こうした高濃度に不純物がドーピングされたn<sup>+</sup>領域7におけるホールの

拡散距離は0.15～0.2 μm程度である。したがって、n<sup>+</sup>領域7内で光励起されたホールを有効にp領域6に脱し込むには、n<sup>+</sup>領域7も光入射表面から内部に向かって不純物濃度が減少する構造になっていることが望ましい。n<sup>+</sup>領域7の不純物濃度分布が上記の様になっていれば、光入射側表面から内部に向う強いドリフト電界が発生して、n<sup>+</sup>領域7に光励起されたホールはドリフトによりただちにp領域6に流れ込む。n<sup>+</sup>領域7、p領域6の不純物濃度がいずれも光入射側表面から内部に向かって減少するように構成されていれば、センサセルの光入射側表面側に存在するn<sup>+</sup>領域7、p領域6において光励起されたキャリアはすべて光針射として有効に働くのである。As又はPを高濃度にドーピングしたシリコン酸化膜あるいはポリシリコン膜からの不純物拡散により、このn<sup>+</sup>領域7を形成すると、上記に述べたような望ましい不純物傾斜をもつn<sup>+</sup>領域を得ることが可能である。

最終的には、ホールの蓄積によりベース電位は

エミッタ電位まで変化し、この場合は接地電位まで変化して、そこでクリップされることになる。より厳密に言うと、ベース・エミッタ間が順方向に強くバイアスされて、ベースに蓄積されたホールがエミッタに流出し始める電圧でクリップされる。つまり、この場合の光センサセルの飽和電位は、最初にp領域6を負電位にバイアスしたときのバイアス電位と接地電位との電位差で略々与えられるわけである。n<sup>+</sup>領域7が接地されず、浮遊状態において光入力によって発生した電荷の蓄積を行なう場合には、p領域6はn領域1と略々同電位まで電荷を蓄積することができる。

以上は電荷蓄積動作の定性的な概略説明であるが、以下に少し具体的かつ定量的に説明する。

この光センサセルの分光感度分布は次式で与えられる。

$$S(\lambda) = \frac{\lambda}{1.24} \cdot \exp(-\alpha x) \times \{1 - \exp(-\alpha y)\} \cdot T \quad [\text{A/W}]$$

但し、 $\lambda$ は光の波長[μm]、 $\alpha$ はシリコン結晶中での光の減衰係数[μm<sup>-1</sup>]、 $x$ は半導体表面

における、再結合損失を起こし感度に寄与しない“dead layer”(不感領域)の厚さ[μm]、 $y$ はエビ層の厚さ[μm]、 $T$ は透過率すなわち、入射してくる光量に対して反射等を考慮して有効に半導体中に入射する光量の割合をそれぞれ示している。この光センサセルの分光感度  $S(\lambda)$  および放射照度  $E_e(\lambda)$  を用いて光電流  $I_p$  は次式で計算される。

$$I_p = \int_0^\infty S(\lambda) \cdot E_e(\lambda) \cdot d\lambda \quad [\mu\text{A/cm}^2]$$

但し放射照度  $E_e(\lambda)$  [μW・cm<sup>-2</sup>・nm<sup>-1</sup>] は次式で与えられる。

$$E_e(\lambda) = \frac{E_v \cdot P(\lambda)}{6.80 \int_0^\infty V(\lambda) P(\lambda) \cdot d\lambda} \quad [\mu\text{W} \cdot \text{cm}^{-2} \cdot \text{nm}^{-1}]$$

但し  $E_v$  はセンサの受光面の照度 [Lux]、

$P(\lambda)$  はセンサの受光面に入射している光の分光分布、 $V(\lambda)$  は人間の目の比視感度である。

これらの式を用いると、エビ層の厚4 μmをもつ光センサセルでは、A光線(2854°K)で照射され、センサ受光面照度が1 [Lux] のとき、

約  $2.80 \text{ nA/cm}^{-2}$  の光電流が流れ、入射してくるフォトン数の数あるいは発生する電子・ホール対の数は  $1.8 \times 10^{11} \text{ ケ/cm}^2 \cdot \text{sec}$  程度である。

又、この時、光により動起されたホールがベースに蓄積することにより発生する電位  $V_p$  は  $V_p = Q/C$  で与えられる。Qは蓄積されるホールの電荷量であり、Cは  $C_{be15}$  と  $C_{bc17}$  を加算した接合容量である。

いま、 $n^+$ 領域7の不純物濃度を  $1.0^{18} \text{ cm}^{-3}$ 、 $p$ 領域6の不純物濃度を  $5 \times 10^{18} \text{ cm}^{-3}$ 、 $n^-$ 領域5の不純物濃度を  $10^{18} \text{ cm}^{-3}$ 、 $n^+$ 領域7の面積を  $16 \mu\text{m}^2$ 、 $p$ 領域6の面積を  $84 \mu\text{m}^2$ 、 $n^-$ 領域5の厚さを  $3 \mu\text{m}$  にしたときの接合容量は、約  $0.014 \text{ pF}$  位になり、一方、 $p$ 領域6に蓄積されるホールの個数は、蓄積時間  $1/80 \text{ sec}$ 、有効受光面積、すなわち  $p$ 領域6の面積から電極8および9の面積を引いた面積を  $58 \mu\text{m}^2$  程度とすると、 $1.7 \times 10^{10}$  ケとなる。従って光入射により発生する電位  $V_p$  は  $180 \text{ mV}$  位になる。

転送部の大きさにより制限され、どんどん低下してしまいうのに対し、本発明における光センサセルでは、先にも引いた様に、最初に  $p$ 領域8を負電位にバイアスした時のバイアス電圧により飽和電圧は決まるわけであり、大きな飽和電圧を確保することができる。

以上の様にして  $p$ 領域6に蓄積された電荷により発生した電圧を外端へ読出す動作について次に説明する。

読出し動作状態では、エミッタ、配線8は浮遊状態に、コレクターは正電位  $V_{cc}$  に保持される。第2図に等価回路を示す。今、光を照射する前に、ベース8を負電位にバイアスした時の電位を  $-V_0$  とし、光照射により発生した蓄積電圧を  $V_p$  とすると、ベース電位は、 $-V_0 + V_p$  なる電位になっている。この状態で配線10を通して電極9に読出し用の正の電圧  $V_0$  を印加すると、この正の電位  $V_0$  は酸化膜容量  $C_{ox13}$  とベース・エミッタ間接合容量  $C_{be15}$ 、ベース・コレクタ間接合容量  $C_{bc17}$  により容量分極され、ベースに

ここで注目すべきことは、高解像度化され、セルサイズが縮小化されていった時に、一つの光センサセルあたりに入射する光量が減少し、蓄積電荷量Qが共に減少していくが、セルの縮小化に伴ない接合容量もセルサイズに比例して減少していくので、光入射により発生する電位  $V_p$  はほぼ一定にたもたれるということである。これは本発明における光センサセルが第1図に示すごとく、きわめて簡単な構造をしており有効受光面がきわめて大きくとれる可能性を有しているからである。

インターラインタイプのCCDの場合と比較して本発明における光電変換装置が有利な理由の一つはここにあり、高解像度化にともない、インターラインタイプのCCD型撮像装置では、転送する電荷量を確保しようとする転送部の面積が相対的に大きくなり、このため有効受光面が減少するので、感度、すなわち光入射による発生電圧が減少してしまうことになる。また、インターラインタイプのCCD型撮像装置では、飽和電圧が

は電圧

$$\frac{C_{ox}}{C_{ox} + C_{be} + C_{bc}} \cdot V_0$$

が加算される。従ってベース電位は

$$-V_0 + V_p + \frac{C_{ox}}{C_{ox} + C_{be} + C_{bc}} \cdot V_0$$

となる。ここで、

$$-V_0 + \frac{C_{ox}}{C_{ox} + C_{be} + C_{bc}} \cdot V_0 = 0$$

となる条件が成立するようにしておくと、ベース電位は光照射により発生した蓄積電圧  $V_p$  そのものとなる。このようにしてエミッタ電位に対してベース電位が正方向にバイアスされると、エレクトロンは、エミッタからベースに注入され、コレクタ電位が正電位になっているので、ドリフト電界により加速されて、コレクタに到達する。この時に流れる電流は、次式で与えられる。

$$i = \frac{A_j \cdot q \cdot D_B \cdot n_{00}}{W_0} \cdot (1 + \frac{n_{AE}}{n_{AC}}) \times \left( \exp \frac{q}{kT} (V_p - V_0) - 1 \right)$$

但し  $A_j$  はベース・エミッタ間の接合面積、 $q$

は単位電荷量( $1.6 \times 10^{-19}$ クーロン)、 $D_n$ はベース中における電子の拡散定数、 $n_{re}$ はpベースのエミッタ端における少数キャリアとしての電子濃度、 $W_B$ はベース幅、 $N_{AB}$ はベースのエミッタ端におけるアクセプタ濃度、 $N_{AC}$ はベースのコレクタ端におけるアクセプタ濃度、 $k$ はボルツマン定数、 $T$ は絶対温度、 $V_e$ はエミッタ電位である。

この電流は、エミッタ電位 $V_e$ がベース電位、すなわちここでは光照射により発生した蓄積電圧 $V_p$ に等しくなるまで流れることは上式から明らかである。この時エミッタ電位 $V_e$ の時間的变化は次式で計算される。

$$C_n = \frac{dV_e}{dt} = \frac{A_j \cdot q \cdot D_n \cdot n_{re}}{W_B} \left(1 + \ln \frac{N_{AB}}{N_{AC}}\right) \times \left\{ \exp \frac{q}{kT} (V_p - V_e) - 1 \right\}$$

但し、ここで配線容量 $C_s$ はエミッタに接続されている配線8のもつ容量21である。

第3図は、上式を用いて計算したエミッタ電位の時間変化の一例を示している。

第3図によればエミッタ電位がベース電位に等しくなるためには、約1秒位を要することになる。これはエミッタ電位 $V_e$ が $V_p$ に近くなるとあまり電流が流れなくなることに起因しているわけである。したがって、これを解決する手段は、先に電極9に正電圧 $V_s$ を印加するとき、

$$-V_s + \frac{C_{ox}}{C_{ox} + C_{be} + C_{bc}} \cdot V_e = 0$$

なる条件を設定したが、この条件の代わりに

$$-V_s + \frac{C_{ox}}{C_{ox} + C_{be} + C_{bc}} \cdot V_e = V_{bias}$$

なる条件を入れ、ベース電位を $V_{bias}$ だけ、余分に順方向にバイアスしてやる方法が考えられる。この時に流れる電流は次式で与えられる。

$$i = \frac{A_j \cdot q \cdot D_n \cdot n_{re}}{W_B} \left(1 + \ln \frac{N_{AB}}{N_{AC}}\right) \times \left\{ \exp \frac{q}{kT} (V_p + V_{bias} - V_e) - 1 \right\}$$

第4図(a)に、 $V_{bias} = 0.6$  Vとした場合、ある

一定時間の後、電極9に印加していた $V_s$ をゼロボルトにもどし、流れる電流を停止させたときの蓄積電圧 $V_p$ に対する、読出し電圧、すなわちエミッタ電位の関係を示す。但し、第4図(a)では、読出し電圧はバイアス電圧成分による読出し時間に依存する一定の電位が必ず加算されてくるがそのゲタ分をさし引いた値をプロットしている。電極9に印加している正電圧 $V_s$ をゼロボルトにもどした時には、印加したときとは逆に

$$- \frac{C_{ox}}{C_{ox} + C_{be} + C_{bc}} \cdot V_s$$

なる電圧がベース電位に加算されるので、ベース電位は、正電圧 $V_s$ を印加する前の状態、すなわち $-V_s$ になり、エミッタに対し逆バイアスされるので電流の流れが停止するわけである。第4図(a)によれば100ns程度以上の読出し時間(すなわち $V_s$ を電極9に印加している時間)をとれば、蓄積電圧 $V_p$ と読出し電圧は4桁程度の精度にわたって直線性は確保され、高速の読出しが可能であることを示している。第4図(a)で、45°の線は読出しに十分な時間をかけた場合の結果で

の線は読出しに十分な時間をかけた場合の結果であり、上記の計算例では、配線8の容量 $C_s$ を4pFとしているが、これは $C_{be} + C_{bc}$ の接合容量の0.014pFと比較して約300倍も大きいにもかかわらず、p領域Gに発生した蓄積電圧 $V_p$ が何らの減衰も受けず、かつ、バイアス電圧の効果により、きわめて高速に読出されていることを第4図(a)は示している。これは上記構成に係る光センサセルのもつ増幅機能、すなわち電荷増幅機能が有効に働いているからである。

これに対して従来のMOS型画像装置では、読出電圧 $V_p$ は、このような読出し過程において配線容量 $C_s$ の影響で $C_j \cdot V_p / (C_j + C_s)$ (但し $C_j$ はMOS型画像装置の受光部のpn接合容量)となり、2桁位読出し電圧値が下がってしまうという欠点を有していた。このためMOS型画像装置では、外部へ読出するためのスイッチングMOSトランジスタの寄生容量のばらつきによる固定パターン雑音、あるいは配線容量すなわち出力容量が大きいことにより発生するランダム雑



音が大きく、S/N比がとれないという問題があったが、第1図(a),(b),(c)で示す構成の光センサセルでは、p領域6に発生した蓄積電圧そのものが外部に読出されるわけであり、この電圧はかなり大きいので固定パターン雑音、出力容量に起因するランダム雑音が相対的に小さくなり、きわめてS/N比の良い信号を得ることが可能である。

先に、バイアス電圧 $V_{bias}$ を0.6Vに設定したとき、4桁程度の直線性が100nsec程度の高速読出し時間で得られることを示したが、この直線性および読出し時間とバイアス電圧 $V_{bias}$ の関係を計算した結果をさらにくわしく、第4図(b)に示す。

第4図(b)において横軸はバイアス電圧 $V_{bias}$ であり、また、縦軸は読出し時間をとっている。またパラメータは、蓄積電圧が1mVのときに、読出し電圧が1mVの80%、90%、95%、98%になるまでの時間依存性を示している。第4図(a)に示される様に、蓄積電圧1mVにおいて、それぞれ80%、90%、95%、98%に

なっている時は、それ以上の蓄積電圧では、さらに良い値を示していることは明らかである。

この第4図(b)によれば、バイアス電圧 $V_{bias}$ が0.8Vでは、読出し電圧が蓄積電圧の80%になるのは読出し時間が0.12 $\mu$ s、90%になるのは0.27 $\mu$ s、95%になるのは0.54 $\mu$ s、98%になるのは1.4 $\mu$ sであるのがわかる。また、バイアス電圧 $V_{bias}$ を0.6Vより大きくすれば、さらに高速の読出しが可能であることを示している。この様に、偏置装置の全体の設計から読出し時間および必要な直線性が決定されると、必要とされるバイアス電圧 $V_{bias}$ が第4図(b)のグラフを用いることにより決定することができる。

上記構成に係る光センサセルのもう一つの利点は、p領域6に蓄積されたホールはp領域6における電子とホールの再結合確率がきわめて小さいことから非破壊的に読出し可能なことである。すなわち読出し時に電極9に印加していた電圧 $V_9$ をゼロボルトにもどした時、p領域6の電位は電圧 $V_9$ を印加する前の逆バイアス状態に

なり、光照射により発生した蓄積電圧 $V_p$ は、新しく光が照射されない限り、そのまま保存されるわけである。このことは、上記構成に係る光センサセルを光電変換装置として構成したときに、システム動作上、新しい機能を提供することができることを意味する。

このp領域6に蓄積電圧 $V_p$ を保持できる時間は、きわめて長く、静電的保持時間は、むしろ、接合の空乏層中において熱的に発生する暗電流によって制限を受ける。すなわち、この熱的に発生する暗電流により光センサセルが飽和してしまうからである。しかしながら、上記構成に係る光センサセルでは、空乏層の広がっている領域は、低不純物濃度領域であるn<sup>+</sup>領域5であり、このn<sup>+</sup>領域5は $10^{19}$ cm<sup>-3</sup>~ $10^{20}$ cm<sup>-3</sup>程度と、きわめて不純物濃度が低いため、その純粋性が良好であり、MOS型、CCD型画像装置に比較して熱的に発生する電子・ホール対は少ない。このため、暗電流は、他の従来装置に比較して小さい。すなわち、上記構成に係る光センサセル

は本質的に暗電流雑音の小さい構造をしているわけである。

次いでp領域6に蓄積された電荷をリフレッシュする動作について説明する。

上記構成に係る光センサセルでは、すでに述べたごとく、p領域6に蓄積された電荷は、読出し動作では消滅しない。このため新しい光情報を入力するためには、前に蓄積されていた電荷を消滅させるためのリフレッシュ動作が必要である。また同時に、浮遊状態になされているp領域6の電位を所定の負電圧に帯電させておく必要がある。

上記構成に係る光センサセルでは、リフレッシュ動作も読出し動作と同様、配線10を通して電極9に正電圧を印加することにより行なう。このとき、配線10を通してエミッタを接地する。コレクタは、電極12を通して接地又は正電位にしておく。第5図にリフレッシュ動作の等価回路を示す。但しコレクタ側を接地した状態の例を示している。

この状態で正電圧  $V_{on}$  なる電圧が電極 9 に印加されると、ベース 2 2' には、酸化層容量  $C_{ox}$  13、ベース・エミッタ間接合容量  $C_{be15}$ 、ベース・コレクタ間接合容量  $C_{bc17}$  の容量分路により、

$$\frac{C_{ox}}{C_{ox} + C_{be15} + C_{bc17}} \cdot V_{on}$$

なる電圧が、前の読出し動作のときと同様同時的にかかる。この電圧により、ベース・エミッタ間接合ダイオード  $D_{be16}$  およびベース・コレクタ間接合ダイオード  $D_{bc18}$  は順方向バイアスされて導通状態となり、電流が流れ始め、ベース電位は次第に低下していく。

この時、浮遊状態にあるベースの電位  $V$  の変化は近似的に次式で表わされる。

$$(C_{be} + C_{bc}) \frac{dV}{dt} = - (i_1 + i_2)$$

但し、

$$i_1 = A_b \left( \frac{q D_p p_{ss}}{L_p} + \frac{q D_n n_{ss}}{W_p} \right) \times \left\{ \exp \left( \frac{q}{kT} V \right) - 1 \right\}$$

の内、 $q \cdot D_p \cdot p_{ss} / L_p$  はホールによる電流、すなわちベースからホールがコレクタ側へ流れだす成分を示している。このホールによる電流が流れやすい様に上記構成に係る光センサセルでは、コレクタの不純物濃度は、通常のバイポーラトランジスタに比較して少し低めに設計される。

この式を用いて計算した、ベース電位の時間依存性の一例を第 6 図に示す。横軸は、リフレッシュ電圧  $V_{on}$  が電極 9 に印加された瞬間からの時間経過すなわちリフレッシュ時間を、縦軸は、ベース電位をそれぞれ示す。また、ベースの初期電位をパラメータにしている。ベースの初期電位とは、リフレッシュ電圧  $V_{on}$  が加わった瞬間に、浮遊状態にあるベースが示す電位であり、 $V_{on} = C_{ox}, C_{be}, C_{bc}$  及びベースに蓄積されている電荷によってきまる。

この第 6 図をみれば、ベースの電位は初期電位によらず、ある時間経過後には必ず、片対数グラフ上で一つの直線にしたがって下がっていく。

$$i_2 = A_e \frac{q D_n n_{ss}}{W_p} \times \left\{ \exp \left( \frac{q}{kT} V \right) - 1 \right\}$$

$i_1$  はダイオード  $D_{be}$  を流れる電流、 $i_2$  はダイオード  $D_{bc}$  を流れる電流である。 $A_b$  はベース面積、 $A_e$  はエミッタ面積、 $D_p$  はコレクタ中におけるホールの拡散定数、 $p_{ss}$  はコレクタ中における熱平衡状態のホール濃度、 $L_p$  はコレクタ中におけるホールの平均自由行程、 $n_{ss}$  はベース中における熱平衡状態での電子濃度である。 $i_1$  で、ベース側からエミッタへのホール注入による電流は、エミッタの不純物濃度がベースの不純物濃度にくらべて充分高いので、無視できる。

上に示した式は、段階接合近似のものであり実際のデバイスでは段階接合からはずれており、又ベースの厚さが薄く、かつ複雑な濃度分布を有しているので厳密なものではないが、リフレッシュ動作をかなりの近似で説明可能である。

上式中のベース・コレクタ間に流れる電流  $i_2$

第 6 図 (b) に、リフレッシュ時間に対するベース電位変化の実験値を示す。第 6 図 (a) に示した計算例と比較して、この実験で用いたテストデバイスは、ディメンションがかなり大きいので、計算例とはその絶対値は一致しないが、リフレッシュ時間に対するベース電位変化が片対数グラフ上で直線的に変化していることが実証されている。この実験例ではコレクタおよびエミッタの両者を接地したときの値を示している。

今、光照射による帯電電圧  $V_p$  の最大値を 0.4 [V]、リフレッシュ電圧  $V_{on}$  によりベースに印加される電圧  $V$  を 0.4 [V] とすると、第 6 図に示すごとく初期ベース電位の最大値は 0.8 [V] となり、リフレッシュ電圧印加後 10 [sec] 後には直線によってベース電位が下がりはじめ、10<sup>-1</sup> [sec] 後には、光があたらなかった時、すなわち初期ベース電位が 0.4 [V] のときの電位変化と一致する。

p 型領域 6 が、MOS キャパシタ  $C_{ox}$  を通して正電圧をある時間印加し、その正電圧を除去すると

負電位に帯電する仕方には、2通りの仕方がある。一つは、p領域6から正電荷を持つホールが、主として接地状態にあるn領域1に流れ出すことによって、負電荷が蓄積される動作である。p領域6からホールが、n領域1に一方的に流れ、n領域1の電子があまりp領域6内に流れ込まないようにするためには、p領域6の不純物密度をn領域1の不純物密度より高くしておけばよい。一方、n<sup>+</sup>領域7やn領域1からの電子が、p領域6に流れ込み、ホールと再結合することによって、p領域6に負電荷が蓄積する動作も行なえる。この場合には、n領域1の不純物密度はp領域6より高くなされている。p領域6からホールが脱出することによって、負電荷が蓄積する動作の方が、p領域6ベースに電子が流れ込んでホールと再結合することにより負電荷が蓄積する動作よりはるかに速い。しかし、これまでの実験によれば、電子をp領域6に渡し込むリフレッシュ動作でも、光電変換装置の動作に対しては、十分に速い時間応答を示すことが確認されている。

としたが、この電圧 $V_A$ を0.8[V]とすれば、上記、過渡的リフレッシュモードは、第6図によれば、1[μsec]でおこり、きわめて高速にリフレッシュすることができる。完全リフレッシュモードで動作させるか、過渡的リフレッシュモードで動作させるかの選択は光電変換装置の使用目的によって決定される。

この過渡的リフレッシュモードにおいてベースに残る電圧を $V_e$ とすると、リフレッシュ電圧 $V_{en}$ を印加後、 $V_{en}$ をゼロボルトにもどす瞬間の過渡的状态において、

$$V_e = \frac{C_{ox}}{C_{ox} + C_{be} + C_{bc}} \cdot V_{en}$$

なる負電圧がベースに加算されるので、リフレッシュパルスによるリフレッシュ動作後のベース電位は

$$V_s = - \frac{C_{ox}}{C_{ox} + C_{be} + C_{bc}} \cdot V_{en}$$

となり、ベースはエミッタに対して逆バイアス状態になる。

先に光により励起されたキャリアを蓄積する蓄

る。

上記構成に係る光センサセルをXY方向に多数ならべて光電変換装置を構成したとき、画像により各センサセルで、蓄積電圧 $V_p$ は、上記の例では0~0.4[V]の間でばらついているが、リフレッシュ電圧 $V_{en}$ 印加後10<sup>-1</sup>[sec]には、全てのセンサセルのベースには約0.3[V]程度の一定電圧は残るものの、画像による蓄積電圧 $V_p$ の変化分は全て消えてしまうことがわかる。すなわち、上記構成に係る光センサセルによる光電変換装置では、リフレッシュ動作により全てのセンサセルのベース電位をゼロボルトまで持っていき完全リフレッシュモードと（このときは第6図(a)の例では10[sec]を要する）、ベース電位にはある一定電圧は残るものの蓄積電圧 $V_p$ による変動成分が消えてしまう過渡的リフレッシュモードの二つが存在するわけである（このときは第6図(a)の例では、10[μsec]~10[sec]のリフレッシュパルス）。以上の例では、リフレッシュ電圧 $V_{en}$ によりベースに印加される電圧 $V$ を0.4[V]

積動作のとき、蓄積状態ではベースは逆バイアス状態で行なわれるという説明をしたが、このリフレッシュ動作により、リフレッシュおよびベースを逆バイアス状態に持っていくことの2つの動作が同時に行なわれるわけである。

第6図(c)にリフレッシュ電圧 $V_{en}$ に対するリフレッシュ動作後のベース電位

$$V_s = - \frac{C_{ox}}{C_{ox} + C_{be} + C_{bc}} \cdot V_{en}$$

の変化の実験値を示す。パラメータとして $C_{ox}$ の値を5pFから100pFまでとっている。丸印は実験値であり、実線は

$$V_s = - \frac{C_{ox}}{C_{ox} + C_{be} + C_{bc}} \cdot V_{en}$$

より計算される計算値を示している。このとき $V_{en} = 0.52V$ であり、また、 $C_{bc} + C_{be} = 4pF$ である。但し観測用オシロスコープのブロード帯域13pFが $C_{bc} + C_{be}$ と並列に接続されている。この様に、計算値と実験値は完全に一致しており、リフレッシュ動作が実験的にも確認されている。

以上のリフレッシュ動作においては、第5図に示す様に、コレクタを接地したときの例について説明したが、コレクタを正電位にした状態で行なうことも可能である。このときは、ベース・コレクタ間接合ダイオードDbe18が、リフレッシュパルスが印加されても、このリフレッシュパルスによりベースに印加される電位よりも、コレクタに印加されている正電位の方が大きいと非導通状態のままなので、電流はベース・エミッタ間接合ダイオードDbe16だけを通して流れる。このため、ベース電位の低下は、よりゆっくりしたものになるが、基本的には、前に説明したのと、まったく同様な動作が行なわれるわけである。

すなわち第6図(a)のリフレッシュ時間に対するベース電位の関係は、第6図(b)のベース電位が低下する時の斜めの直線が右側の方、つまり、より時間の要する方向へシフトすることになる。したがって、コレクタを接地した時と同じリフレッシュ電圧 $V_{on}$ を用いると、リフレッシュに時間を要することになるが、リフレッシュ電圧 $V_{on}$

をわずかに高めてやればコレクタを接地した時と同様、前述のリフレッシュ動作が可能である。

以上が光入射による電荷蓄積動作、読出し動作、リフレッシュ動作よりなる上記構成に係る光センサセルの基本動作の説明である。

以上説明したごとく、上記構成に係る光センサセルの基本構造は、すでにあげた特開昭56-150878、特開昭56-157073、特開昭56-165473と比較してきわめて簡単な構造であり、将来の高解像度化に十分対応できるとともに、それらのもつ優れた特徴である増幅機能からくる低雑音、高出力、広ダイナミックレンジ、非破壊読出し等のメリットをそのまま保存している。

次に、以上説明した構成に係る光センサセルを二次元に配列して構成した本発明の光電変換装置の一実施例について図面を用いて説明する。

基本光センサセル構造を二次元的に $3 \times 3$ に配列した光電変換装置の回路構成図を第7図に示す。

すでに説明した点線でかこまれた基本光センサセル30(この時バイポーラトランジスタのコレクタは基板および基板電極に接続されることを示している)。読出しパルスおよびリフレッシュパルスを印加するための水平ライン31、31'、31"、読出しパルスを発生させるための垂直シフトレジスタ32、垂直シフトレジスタ32と水平ライン31、31'、31"の間のバッファMOSトランジスタ33、33'、33"、バッファMOSトランジスタ33、33'、33"のゲートにパルスを印加するための端子34、リフレッシュパルスを印加するためのバッファMOSトランジスタ35、35'、35"、そのゲートにパルスを印加するための端

子36、リフレッシュパルスを印加するための端子37、基本光センサセル30から蓄積電圧を読出すための垂直ライン38、38'、38"、各垂直ラインを選択するためのパルスを発生する水平シフトレジスタ39、各垂直ラインを開閉するためのゲート用MOSトランジスタ40、40'、40"、蓄積電圧をアンプ部に読出すための出力ライン41、読出し後に、出力ラインに蓄積した電荷をリフレッシュするためのMOSトランジスタ42、MOSトランジスタ42へリフレッシュパルスを印加するための端子43、出力信号を増幅するためのバイポーラ、MOS、FET、J-FET等のトランジスタ44、負荷抵抗45、トランジスタと電極を接続するための端子46、トランジスタの出力端子47、読出し動作において垂直ライン40、40'、40"に蓄積された電荷をリフレッシュするためのMOSトランジスタ48、48'、48"、およびMOSトランジスタ48、48'、48"のゲートにパルスを印加するための端子49によりこの光電変換

装置は構成されている。

この光電変換装置の動作について第7図および第8図に示すパルスタイミング図を用いて説明する。

第8図において、区間61はリフレッシュ動作、区間62は蓄積動作、区間63は読出し動作にそれぞれ対応している。

時刻 $t_1$ において、基板電位、すなわち光センサセル部のコレクタ電位64は、接地電位または正電位に保たれるが、第8図では接地電位に保たれているものを示している。接地電位又は正電位のいずれにしても、すでに説明した様に、リフレッシュに要する時間が異なってくるだけであり、基本動作に変化はない。端子49の電位65はhigh状態であり、MOSトランジスタ48、48'、48"は導通状態に保たれ、各光センサセルは、垂直ライン38、38'、38"を流して接地されている。また端子36には、波形66のごとくバッファMOSトランジスタが導通する電圧が印加されており、全断面一括リフレッシュ

用バッファMOSトランジスタ35、35'、35"は導通状態となっている。この状態で端子37に波形67のごとくパルスが印加されると、水平ライン31、31'、31"を流して各光センサセルのベースに電圧がかかり、すでに説明した様に、リフレッシュ動作に入り、それ以前に蓄積されていた電荷が、完全リフレッシュモード又は過渡的リフレッシュモードにしたがってリフレッシュされる。完全リフレッシュモードになるか又は過渡的リフレッシュモードになるかは波形67のパルス幅により決定されるわけである。

時刻 $t_2$ において、すでに説明したごとく、各光センサセルのトランジスタのベースはエミッタに対して逆バイアス状態となり、次の蓄積区間62へ移る。このリフレッシュ区間61においては、図に示すように、他の印加パルスは全てlow状態に保たれている。

蓄積動作区間62においては、基板電位、すなわちトランジスタのコレクタ電位波形64は正電位にする。これにより光照射により発生したエ

レクトロン・ホール対のうちのエレクトロンを、コレクタ側へ早く流してしまいうことができる。しかし、このコレクタ電位を正電位に保つことは、ベースをエミッタに対して逆方向バイアス状態、すなわち負電位にして維持しているので必要条件ではなく、接地電位あるいは若干負電位状態にしても基本的な蓄積動作に変化はない。

蓄積動作状態においては、MOSトランジスタ48、48'、48"のゲート端子49の電位65は、リフレッシュ区間と同様、highに保たれ、各MOSトランジスタは導通状態に保たれる。このため、各光センサセルのエミッタは垂直ライン38、38'、38"を流して接地されている。強い光の照射により、ベースにホールが蓄積され、飽和してくると、すなわちベース電位がエミッタ電位（接地電位）に対して順方向バイアス状態になってくると、ホールは垂直ライン38、38'、38"を流して流れ、そこでベース電位変化は停止し、はクランプされることになる。したがって、垂直方向にとなり合う光センサセル

のエミッタが垂直ライン38、38'、38"により共通に接続されていても、この様に垂直ライン38、38'、38"を接地しておくと、ブルーミング現象を生ずることはない。

このブルーミング現象をさける方法は、MOSトランジスタ48、48'、48"を非導通状態にして、垂直ライン38、38'、38"を浮遊状態にしている、基板電位、すなわちコレクタ電位64を若干負電位にしておき、ホールの蓄積によりベース電位が正電位方向に変化してきたとき、エミッタより先にコレクタ側の方へ流れだす様にすることにより回避することも可能である。

蓄積区間62に次いで、時刻 $t_3$ より読出し区間63になる。この時刻 $t_3$ において、MOSトランジスタ48、48'、48"のゲート端子49の電位65をlowにし、かつ水平ライン31、31'、31"のバッファMOSトランジスタ33、33'、33"のゲート端子の電位68をhighにし、それぞれのMOSトランジスタ

を導通状態とする。但し、このゲート端子34の電位60をhighにするタイミングは、時刻1<sub>1</sub>であることは必須条件ではなく、それより早い時刻であれば良い。

時刻1<sub>4</sub>では、垂直シフトレジスタ32の出力のうち、水平ライン31に接続されたものが波形69のごとくhighとなり、このとき、MOSトランジスタ33が導通状態であるから、この水平ライン31に接続された3つの赤光センサセルの読出しが行なわれる。この読出し動作はすでに前に説明した通りであり、赤光センサセルのベース領域に蓄積された信号電荷により発生した信号電圧は、そのまま、垂直ライン38、38'、38"に現われる。このときの垂直シフトレジスタ32からのパルス電圧のパルス幅は、第4図に示した様に、蓄積電圧に対する読出し電圧が、1分画線性を保つ関係になるパルス幅に設定される。またパルス電圧は先に説明した様に、V<sub>0100</sub>分だけエミッタに対して順方向バイアスがかかる様調整される。

容量に起因する信号電荷が残留しているため、赤垂直ライン38、38'、38"に接続されたMOSトランジスタ48、48'、48"を、そのゲート端子49に波形65で示される様にhighにして導通させ、この残留信号電荷をリフレッシュする。

次いで、時刻1<sub>5</sub>において、垂直シフトレジスタ32の出力のうち、水平ライン31'に接続された出力が波形69'のごとくhighとなり、水平ライン31'に接続された赤光センサセルの蓄積電圧が、各垂直ライン30、38'、38"に読出されるわけである。以下、順次前と同様の動作により、出力端子47から信号が読出される。

以上の説明においては、蓄積区画62と読出し区画63が明確に区分される様な応用分野、例えば最近研究開発が積極的に行なわれているスチルビデオに適用される動作状態について説明したが、テレビカメラの様に蓄積区画62における動作と読出し区画63における動作が同時に行なわ

れたいで、時刻1<sub>5</sub>において、水平シフトレジスタ39の出力のうち、垂直ライン38に接続されたMOSトランジスタ40のゲートへの出力だけが波形70のごとくhighとなり、MOSトランジスタ40が導通状態となり、出力信号は出力ライン41を通して、出力トランジスタ44に入り、電流増幅されて出力端子47から出力される。この様に信号が読出された後、出力ライン41には配線容量に起因する信号電荷が残っているため、時刻1<sub>6</sub>において、MOSトランジスタ42のゲート端子43にパルス波形71のごとくパルスを印加し、MOSトランジスタ42を導通状態にして出力ライン41を接地して、この残留した信号電荷をリフレッシュしてやるわけである。以下同様にして、スイッチングMOSトランジスタ40'、40"を順次導通させて垂直ライン38'、38"の信号出力を読出す。この様にして水平に並んだ一ライン分の赤光センサセルからの信号を読出した後、垂直ライン38、38'、38"には、出力ライン41と同様、その配線

されている様な応用分野に関しても、第8図のパルスタイミングを変更することにより適用可能である。但し、この時のリフレッシュは今画面一括リフレッシュではなく、一ライン毎のリフレッシュ機能が必要である。例えば、水平ライン31に接続された赤光センサセルの信号が読出された後、時刻1<sub>5</sub>において各垂直ラインに残留した電荷を消去するためMOSトランジスタ48、48'、48"を導通にするが、このとき水平ライン31にリフレッシュパルスを印加する。すなわち、波形69において時刻1<sub>5</sub>においても時刻1<sub>4</sub>と同様、パルス電圧、パルス幅、の異なるパルスを発生する様な構成の垂直シフトレジスタを使用することにより達成することができる。この様にダブルパルスの動作以外には、第7図の右側に設けられた一括リフレッシュパルスを印加する機能の代りに、左側と同様の第2の垂直シフトレジスタを右側にも設け、タイミングを左側に設けられた垂直レジスタとずらせながら動作させることにより達成させることも可能である。

このときは、すでに説明した様な蓄積状態において、各光センサセルのエミッタおよびコレクタの各電位を操作してブルーミングを抑ええるという動作の自由度が少なくなる。しかし、基本動作の所で説明した様に、読出し状態では、ベースに  $V_{bias}$  なるバイアス電圧を印加したときに始めて高速読出しができる様な構成としているので、第3図のグラフからわかる様に、 $V_{bias}$  を印加しない時に、各光センサセルの飽和により、垂直ライン28、28'、28''に流れだす信号電荷分はきわめてわずかであり、ブルーミング現象は、まったく問題にはならない。

また、スミア現象に対しても、本実施例に係る光電変換装置は、きわめて優れた特性を得ることができる。スミア現象は、CCD型撮像装置、特にフレーム転送型においては、光の照射されている所を電荷搬送されるという、動作および構造上発生する問題であり、インタライン型においては、特に長波長の光により半導体の深部で発生したキャリアが電荷搬送部に蓄積されるために発

生する問題である。

また、MOS型撮像装置においては、各光センサセルに接合されたスイッチングMOSトランジスタのドレイン側に、やはり長波長の光により半導体深部で発生したキャリアが蓄積されるために生じる問題である。

これに対して本実施例に係る光電変換装置では、動作および構造上発生するスミア現象はまったくなく、また長波長の光により半導体深部で発生したキャリアが蓄積されるという現象もまったく生じない。但し、光センサセルのエミッタにおいて比較的深部近傍で発生したエレクトロンとホールのうち、エレクトロンが蓄積されるという現象が心配されるが、これは、一括リフレッシュ動作のときは蓄積動作状態において、エミッタが接合されているため、エレクトロンは蓄積されず、スミア現象が生じない。また通常のテレビカメラのとき応用されるラインリフレッシュ動作のときは、水平ブランキングの期間において、垂直ラインに蓄積電圧を読出す前に、垂直ラインを接

合してリフレッシュするので、この時同時にエミッタに水平走査期間に蓄積されたエレクトロンは流れ出してしまい、このため、スミア現象はほとんど発生しない。この様に、本実施例に係る光電変換装置では、その構造上および動作上、スミア現象はほとんど本質的に無視し得る程度しか発生せず、本実施例に係る光電変換装置の大きな利点の一つである。

また、蓄積動作状態において、エミッタおよびコレクタの各電位を操作して、ブルーミング現象を抑ええるという動作について前に記述したが、これを利用して $\gamma$ 特性を調節することも可能である。

すなわち、蓄積動作の途中において、一時的にエミッタまたはコレクタの電位をある一定の負電位にし、ベースに蓄積されたキャリアのうち、この負電位を受けるキャリア数より多く蓄積されているホールをエミッタまたはコレクタ側へ流してしまおうという動作をさせる。これにより、蓄積電圧と入射光量に対する関係は、入射光量の小さいと

きはシリコン結晶のもつ $\gamma=1$ の特性を示し、入射光量の大きい所では、 $\gamma$ が1より小さくなる様な特性を示す。つまり、折線近似的に通常テレビカメラで要求される $\gamma=0.45$ の特性をもたせることが可能である。蓄積動作の途中において上記動作を一度やれば一折線近似となり、エミッタ又はコレクタに印加する負電位を二度適宜変更して行なえば、二折線タイプの $\gamma$ 特性を持たせることも可能である。

また、以上の実施例においては、シリコン基板を共通コレクタとしているが通常バイポーラトランジスタのごとく埋込 $\phi$ 領域を設け、各ライン毎にコレクタを分離させる様な構造としてもよい。

なお、実際の動作には第8図に示したパルスタイミング以外に、垂直シフトレジスタ32、水平シフトレジスタ39を駆動するためのクロックパルスが必要である。

第9図に出力信号に關係する等価回路を示す。符号C $\gamma$ 80は、垂直ライン38、38'、

38"の配線容量であり、容量C<sub>v</sub>81は出力ライン41の配線容量をそれぞれ示している。また第9図右側の等価回路は、読出し状態におけるものであり、スイッチング用MOSトランジスタ40、40'、40"は導通状態であり、その導通状態における抵抗値を抵抗R<sub>n</sub>82で示している。また増幅用トランジスタ44を抵抗R<sub>n</sub>83および電流源84を用いた等価回路で示している。出力ライン41の配線容量に起因する電荷蓄積をリフレッシュするためのMOSトランジスタ42は、読出し状態では非導通状態であり、インピーダンスが高いので、右側の等価回路では省略している。

等価回路の各パラメータは、実際に構成する光電変換装置の大きさにより決定されるわけであるが、例えば、容量C<sub>v</sub>80は約4 pF位、容量C<sub>v</sub>81は約4 pF位、MOSトランジスタの導通状態の抵抗R<sub>n</sub>82は3 K $\Omega$ 程度、バイポーラトランジスタ44の電流増幅率 $\beta$ は約100程度として、出力端子47において観測される出力信号

波形を計算した例を第10図に示す。

第10図において横軸はスイッチングMOSトランジスタ40、40'、40"が導通した瞬間からの時間[ns]を、縦軸は電圧ライン38、38'、38"の配線容量C<sub>v</sub>80に、光センサセルから信号電荷が読出されて1ボルトの電圧がかかっているときの出力端子47に現われる出力電圧[V]をそれぞれ示している。

出力信号波形85は負荷抵抗R<sub>n</sub>45が10 K $\Omega$ 、86は負荷抵抗R<sub>n</sub>45が5 K $\Omega$ 、87は負荷抵抗R<sub>n</sub>45が2 K $\Omega$ のときのものであり、いずれにおいてもピーク値は、C<sub>v</sub>80とC<sub>v</sub>81の容量分割により0.5 V程度になっている。当然のことながら、負荷抵抗R<sub>n</sub>45が大きい方が読出量は小さく、望ましい出力波形になっている。立ち上がり時間は、上記のパラメータ値のとき、約20 ns程度と高速である。スイッチングMOSトランジスタ40、40'、40"の導通状態における抵抗R<sub>n</sub>を小さくすることにより、および、配線容量C<sub>v</sub>、C<sub>v</sub>を小さくすることにより、さら

に高速の読出しも可能である。

上記構成に係る光センサセルを利用した光電変換装置では、各光センサセルのもつ増幅機能により、出力に現れる電圧が大きいため、最終段の増幅アンプも、MOS型増幅装置に比較してかなり簡単なもので良い。上記例ではバイポーラトランジスタ1段のタイプのものを使用した例について説明したが、2段構成のもの等、他の方式を使うことも当然のことながら可能である。この例の様にバイポーラトランジスタを用いると、CCD画像装置における最終段のアンプのMOSトランジスタから発生する画像上目につきやすい1/f雑音の問題が、本実施例の光電変換装置では発生せず、きわめてS/N比の高い所質を得ることが可能である。

上に述べた様に、上記構成に係る光センサセルを利用した光電変換装置では、最終段の増幅アンプがきわめて簡単なもので良いことから、最終段の増幅アンプを一つだけ設ける第7図に示した実施例のごときタイプではなく、増幅アンプを複数設置して、一つの両面を複数に分割して読出す様な構成とすることも可能である。

第11図に、分割読出し方式の一例を示す。第11図に示す実施例は、水平方向を3分割とし最終段アンプを3つ設置した例である。根本的な動作は第7図の実施例および第8図のタイミング図を用いて説明したものとほとんど同じであるが、この第11図の実施例では、3つの等価な水平シフトレジスタ100、101、102を設け、これらの始動パルスを加加するための端子103に始動パルスが入ると、1列目、(n+1)列目、(2n+1)列目(nは整数であり、この実施例では水平方向除数数は3n例である。)に接続された各センサセルの出力が同時に読出されることになる。次の時点では、2列目、(n+2)列



目、 $(2n+2)$ 列目が読出されることになる。

この実施例によれば、一本の水平ライン分を読出す時間が固定されている時は、水平方向のスキヤニング周波数は、一つの最終段アンプをつけた方式に比較して $1/3$ の周波数で良く、水平シフトレジスターが簡単になり、かつ光電変換装置からの出力信号をアナログデジタル変換して、信号処理する様な用途には、高速度のアナログ・デジタル変換器は不必要であり、分割読出し方式の大きな利点である。

第11図に示した実施例では、等価な水平シフトレジスターを3つ設けた方式であったが、同様な機能は、水平レジスター1つだけでももたせることが可能である。この場合の実施例を第12図に示す。

第12図の実施例は、第11図に示した実施例のうちの水平スイッチングMOSトランジスターと、最終段アンプの中間の部分だけを省いたものであり、他の部分は、第11図の実施例と同じで

あるから省略している。

この実施例では、1つの水平シフトレジスター104からの出力を1列目、 $(n+1)$ 列目、 $(2n+1)$ 列目のスイッチングMOSトランジスターのゲートに接続し、それらのラインを同時に読出す様にしている。次の時点では、2列目、 $(n+2)$ 列目、 $(2n+2)$ 列目が読出されるわけである。

この実施例によれば、各スイッチングMOSトランジスターのゲートへの配線は増加するものの、水平シフトレジスターとしては1つだけで動作が可能である。

第11図、12図の例では出力アンプを3個設けた例を示したが、この数はその目的に応じてさらに多くしてもよいことはもちろんである。

第11図、第12図の実施例ではいずれも、水平シフトレジスター、垂直シフトレジスターの始動パルスおよびクロックパルスは省略しているが、これらは、他のリフレッシュパルスと同様、同一チップ内に設けたクロックパルス発生器ある

いは、他のチップ上に設けられたクロックパルス発生器から供給される。

この分割読出し方式では、水平ライン一括又は全画面一括リフレッシュを行なうと、 $n$ 列目と $(n+1)$ 列目の光センサセル間では、わずかな遅延時間が異なり、これにより、暗電流成分および信号成分に、わずかの不連続性が生じ、画像上目についてくる可能性も考えられるが、この量はわずかであり、実用上問題はない。また、これが、許容限度以上になってきた場合でも、外部回路を用いて、それを補正することは、キョシ状態を発生させ、これと暗電流成分との差分およびこれと信号成分の乗除算により行なう従来の補正技術を使用することにより容易に可能である。

この様な光電変換装置を用いて、カラー画像を画像する時は、光電変換装置の上に、ストライプフィルターあるいは、モザイクフィルター等をオンチップ化したり又は、別に作ったカラーフィルターを貼合せることによりカラー信号を得ることが可能である。

一例としてR、G、Bのストライプ・フィルターを使用した時は、上記構成に係る光センサセルを利用した光電変換装置ではそれぞれ別々の最終段アンプよりR信号、G信号、B信号を得ることが可能である。これの一実施例を第13図に示す。この第13図も第12図と同様、水平レジスターのまわりだけを示している。他は第7図および第11図と同じであり、ただ1列目はRのカラーフィルター、2列目はGのカラーフィルター、3列目はBのカラーフィルター、4列目はRのカラーフィルターという様にカラーフィルターがついているものとする。第13図に示すごとく1列目、4列目、7列目-----の各垂直ラインは出力ライン110に接続され、これはR信号をとりだす。又2列目、5列目、8列目-----の各垂直ラインは出力ライン111に接続され、これはG信号をとりだす。又同様にして、3列目、6列目、9列目-----の各垂直ラインは出力ライン112に接続されB信号をとりだす。出力ライン110、111、112はそれぞれオンチップ

化されたりフレッシュ用MOSトランジスタおよび最終段アンプ、例えばエミッタフォロアタイプのバイポーラトランジスタに接続され、各カラー信号が別々に出力されるわけである。

本発明の他の実施例に係る光電変換装置を構成する光センサセルの他の例の基本構造および動作を説明するための図を第14図に示す。またその等価回路および全体の回路構成図を第15図(a)に示す。

第14図に示す光センサセルは、同一の水平スキャンパルスにより読出し動作、およびラインリフレッシュを同時に行なうことを可能とした光センサセルである。第14図において、すでに第1図で示した構成と異なる点は、第1図の場合水平ライン配線10に接続されるMOSキャパシタ電極9が一つだけであったものが上下に隣接する光センサセルの側にもMOSキャパシタ電極120が接続され、1つの光センサセルからみた時に、ダブルコンデンサタイプとなっていること、および図において上下に隣接する光センサセ

ルのエミッタ7、は2層配線にされた配線118、および配線121(第14図では、垂直ラインが1本に見えるが、絶縁層を介して2本のラインが配置されている)に交互に接続、すなわちエミッタ7はコンタクトホール19を通して配線118に、エミッタはコンタクトホール1を通して配線121にそれぞれ接続されていることが異なっている。

これは第15図(a)の等価回路をみるとより明らかとなる。すなわち、光センサセル152のベースに接続されたMOSキャパシタ150は水平ライン31に接続され、MOSキャパシタ151は水平ライン3に接続されている。また光センサセル152の図において下に隣接する光センサセル15のMOSキャパシタ15は共通する水平ライン3に接続されている。

光センサセル152のエミッタは垂直ライン38に、光センサセル15のエミッタは垂直ライン138に、光センサセル15のエミッタは垂直ライン38という様にそれぞれ交互に接続され

ている。

第15図(a)の等価回路では、以上述べた基本の光センサセル部以外で、第7図の撮像装置と異なるのは、垂直ライン38をリフレッシュするためのスイッチングMOSトランジスタ48のほかに垂直ライン138をリフレッシュするためのスイッチングMOSトランジスタ148、および垂直ライン38を選択するスイッチングMOSトランジスタ40のほかに垂直ライン138を選択するためのスイッチングMOSトランジスタ140が追加され、また出力アンプ系が一つ増設されている。この出力系の構成は、各ラインをリフレッシュするためのスイッチングMOSトランジスタ48、および148が接続されている様な構成とし、さらに水平スキャン用のスイッチングMOSトランジスタを用いる第15図(b)に示す様に出力アンプを一つだけにする構成もまた可能である。第15図(b)では第15図(a)の垂直ライン選択および出力アンプ系の部分だけを示している。

この第14図の光センサセル及び第15図(a)に示す実施例によれば、次の様な動作が可能である。すなわち、今水平ライン31に接続された各光センサセルの読出し動作が終了し、テレビ動作における水平ブランキング期間にある時、垂直シフトレジスタ32からの出力パルスが水平ライン3に出力されるとMOSキャパシタ151を通して、読出しの終了した光センサセル152をリフレッシュする。このとき、スイッチングMOSトランジスタ48は導通状態にされ、垂直ライン38は接地されている。

また水平ライン3に接続されたMOSキャパシタ15を通して光センサセル15の出力が垂直ライン138に読出される。このとき当然のことながらスイッチングMOSトランジスタ148は非導通状態になされ、垂直ライン138は浮遊状態となっているわけである。この様に一つの垂直スキャンパルスにより、すでに読出しを終了した光センサセルのリフレッシュと、次のラインの光センサセルの読出しが同一のパルスで

同時的に行なうことが可能である。このときすでに説明した様にリフレッシュする時の電圧と読出しの時の電圧は、読出し時には、高電圧読出しの必要性からバイアス電圧をかけるので異なってくるが、これは第14図に示すごとく、MOSキャパシタ電極9およびMOSキャパシタ電極120の面積を食えることにより各電極に同一の電圧が印加されても各光センサーセルのベースには異なる電圧がかかる様な構成をとることにより達成されている。

すなわち、リフレッシュ用MOSキャパシタの面積は、読出し用MOSキャパシタの面積にくらべて小さくなっている。この例のように、センサーセル全層を一括リフレッシュするのではなく、一ラインずつリフレッシュしていく場合には、第1図(b)に示されるようにコレクタをn型あるいはn<sup>+</sup>基板で構成しておいてもよいが、水平ラインごとにコレクタを分離して設けた方が望ましいことがある。コレクタが基板になっている場合には、全光センサーセルのコレクタが共通領域となっ

ているため、消通および受光読出し状態ではコレクタに一定のバイアス電圧が加わった状態になっている。もちろん、すでに説明したようにコレクタにバイアス電圧が加わった状態でも浮遊ベースのリフレッシュは、エミッタの間で行なえる。ただし、この場合には、ベース領域のリフレッシュが行なわれると同時に、リフレッシュパルスが印加されたセルのエミッタコレクタ間に無駄な電流が流れ、消費電力を大きくするという欠点が生ずる。こうした欠点を克服するためには、全センサーセルのコレクタを共通領域とせず、各水平ラインに属するセンサーセルのコレクタは共通になるが、各水平ラインごとのコレクタは互いに分離された構造にする。すなわち、第1図の構造に関連させて説明すれば、基板はp型にして、p型基板中にコレクター各水平ラインごとに互いに分離されたn<sup>+</sup>埋込領域を設けた構造にする。隣り合う水平ラインのn<sup>+</sup>埋込領域の分離は、p領域を間に介在させる構造でもよい。水平ラインに沿って埋込まれるコレクタのキャパシタを減少させるには、

絶縁物分離の方が好れている。第1図では、コレクタが基板で構成されているから、センサーセルを囲む分離領域はすべてほとんど同じ深さまで設けられている。一方、各水平ラインごとのコレクタを互いに分離するには、水平ライン方向の分離領域を垂直ライン方向の分離領域より必要な値だけ深くしておくことになる。

各水平ラインごとにコレクタが分離されていれば、読出しが終わって、リフレッシュ動作が始まる時に、その水平ラインのコレクタの電圧を接地すれば、前述したようなエミッタコレクタ間電流は流れず、消費電力の増加をもたらさない。リフレッシュが終わって光信号による電荷蓄積動作に入る時に、ふたたびコレクタ領域には所定のバイアス電圧を印加する。

また第15図(a)の等価回路によれば、各水平ライン毎に出力は出力端子47および147に交互に出力されることになる。これは、すでに説明したごとく、第15図(b)の様な構成にすることにより一つのアンプから出力をとりだすことも可

能である。

以上説明した様に本実施例によれば、比較的簡単な構成で、ラインリフレッシュが可能となり、通常のテレビカメラ等の応用分野にも適用することができよう。

本発明の他の実施例としては、光センサーセルに複数のエミッタを設けた構成あるいは、一つのエミッタに複数のコンタクトを設けた構成により、一つの光センサーセルから複数の出力をとりだすタイプが考えられる。

これは本発明による光電変換装置の各光センサーセルが増幅機能をもつことから、一つの光センサーセルから複数の出力をとりだすために、各光センサーセルに複数の配線容量が接続されても、光センサーセルの内部で発生した蓄積電圧 $V_p$ が、まったく減衰することなしに各出力に読出すことが可能であることに起因している。

この様に、各光センサーセルから複数の出力をとりだすことができる構成により、各光センサーセルを多数配列してなる光電変換装置に対して信号第

理あるいは難着対策等に対して多くの利点を付加することが可能である。

次に本発明に係る光電変換装置の一製造例について説明する。第16図に、選択エピタキシャル成長(N. Endo et al., "Novel device isolation technology with selected epitaxial growth" Tech. Dig. of 1982 IEDM, PP. 241-244 参照)を用いたその製法の一例を示す。

$1 \sim 10 \times 10^{15} \text{ cm}^{-3}$  程度の不純物濃度の n 形 Si 基板 1 の裏面側に、コンタクト用の n<sup>+</sup> 領域 11 を、As あるいは P の拡散で設ける。n<sup>+</sup> 領域からのオートドーピングを防ぐために、図には示さないが酸化膜及び窒化膜を裏面に堆積は設けておく。

基板 1 は、不純物濃度及び酸素濃度が均一に制御されたものを用いる。すなわち、キャリアライントラップがウエハで十分に長くかつ均一な結晶ウエハを用いる。その様なものとしては例えば MCZ 法による結晶が適している。基板 1 の表面に約  $1 \mu\text{m}$  程度の酸化膜をウエット酸化により形成する。すなわち、H<sub>2</sub>O 雰囲気かあるいは (H<sub>2</sub> + O<sub>2</sub>) 雰囲気中で酸化する。積層欠陥等を生じさ

せずに良好な酸化膜を得るには、900℃程度の温度での高温酸化が適している。

その上に、たとえば  $2 \sim 4 \mu\text{m}$  程度の厚さの SiO<sub>2</sub> 膜を CVD で堆積する。(N<sub>2</sub> + SiH<sub>4</sub> + O<sub>2</sub>) ガス系で、300℃～500℃程度の温度で所望の厚さの SiO<sub>2</sub> 膜を堆積する。O<sub>2</sub> / SiH<sub>4</sub> のモル比は温度にもよるが 4～40 程度に設定する。フォトリソグラフィ工程により、セル間の分離領域となる部分の酸化膜を残して他の領域の酸化膜は、(CF<sub>4</sub> + H<sub>2</sub>)、C<sub>2</sub>F<sub>4</sub>、CH<sub>2</sub>F<sub>2</sub> 等のガスを用いたリアクティブイオンエッチングで除去する(第16図の工程(a))。例えば、 $10 \times 10 \mu\text{m}^2$  に 1 画素を設ける場合には、 $10 \mu\text{m}$  ピッチのメッシュ状に SiO<sub>2</sub> 膜を残す。SiO<sub>2</sub> 膜の厚さはたとえば  $2 \mu\text{m}$  程度に選ばれる。リアクティブイオンエッチングによる表面のダメージ層及び汚染層を、Al/Cl<sub>2</sub> ガス系プラズマエッチングかウェットエッチングによって除去した後、超高真空中における蒸着もしくは、ロードロック形式で十分に雰囲気清浄になされたスパッタ、ある

いは、SiH<sub>4</sub> ガスに CO<sub>2</sub> レーザ光線を照射する減圧光 CVD で、アモルファスシリコン 301 を堆積する(第16図の工程(b))。CB<sub>2</sub>F<sub>6</sub>、C<sub>2</sub>Cl<sub>4</sub>、F<sub>2</sub>、C<sub>2</sub>Cl<sub>2</sub> 等のガスを用いたリアクティブイオンエッチングによる異方性エッチにより、SiO<sub>2</sub> 層側面に堆積している以外のアモルファスシリコンを除去する(第16図の工程(c))。前と同様に、ダメージと汚染層を十分除去した後、シリコン基板表面を十分精浄に洗浄し、(H<sub>2</sub> + SiH<sub>4</sub>、C<sub>2</sub>H<sub>2</sub> + H<sub>2</sub>Cl<sub>2</sub>) ガス系によりシリコン層の選択成長を行う。数 10 Torr の減圧状態で成長は行い、基板温度は 900℃～1000℃、H<sub>2</sub>Cl<sub>2</sub> のモル比をある程度以上高い値に設定する。H<sub>2</sub>Cl<sub>2</sub> の値が少なすぎると選択成長は起こらない。シリコン基板上にはシリコン結晶層が成長するが、SiO<sub>2</sub> 層上のシリコンは H<sub>2</sub>Cl<sub>2</sub> によってエッチングされてしまうため、SiO<sub>2</sub> 層上にはシリコンは堆積しない(第16図(d))。n<sup>+</sup> 層 5 の厚さはたとえば  $3 \sim 5 \mu\text{m}$  程度である。

不純物濃度は、好ましくは  $10^{15} \sim 10^{16} \text{ cm}^{-3}$  程度

に設定する。もちろん、この時間をずれてもよいが、 $p-n$ 接合の拡散電位で完全に空乏化するかもしくはコレクタに動作電圧を印加した状態では、少なくとも $n$ -領域が完全に空乏化するような不純物濃度および厚さに選ぶのが望ましい。

通常入手できる $HCl$ ガスには大量の水分が含まれているため、シリコン基板表面で常に酸化膜が形成されるというようなことになって、到底高品質のエピタキシャル成長は望めない。水分の多い $HCl$ は、ポンペに入っている状態でポンペの材料と反応し鉄分を中心とする重金属を大量に含むことになって、重金属汚染の多いエピ層になり易い。光センサーセルに使用するエピ層は、暗電流成分が少ない程望ましいわけであるから、重金属による汚染は極限まで抑える必要がある。 $SiH_4$ ,  $Cl_2$ に超高純度の材料を使用することはもちろんであるが、 $HCl$ には特に水分の少ない、望ましくは少なくとも水分含有量が0.5ppm以下のものを使用する。もちろん、水分含有量は少ない程よい。エピタキシャル成長層をさらに高品質にするに

は、基板をまず1150~1250℃程度の高温処理で表面近傍から酸素を除去して、その後800℃程度の長時間熱処理により基板内部にマイクロディフェクトを多数発生させ、デモードットゾーンを有するイントリシクゲットリングの行える基板にしておくこともきわめて有効である。分離領域としての $SiO_2$ 層4が存在した状態でのエピタキシャル成長を行うわけであるから、 $SiO_2$ からの酸素のとり込みを少なくするため、成長温度は低い程望ましい。通常よく使われる高抵抗加熱法では、カーボンサセプタからの汚染が多くて、より一層の低温化は難しい。反応室内にカーボンサセプタなど持たないランプ加熱によるウエハ直接加熱法が成長雰囲気をもっともクリーンにできて、高品質エピ層を低阻で成長させられる。

反応室におけるウエハ支持具は、より真空度の低い超高純度溶融サファイアが適している。原材料ガスの予熱が容易に行え、かつ大流量のガスが流れている状態でもウエハ面内温度を均一化し易い、すなわちサーマルストレスがほとんど発生し

ないランプ加熱によるウエハ直接加熱法は、高品質エピ層を得るのに適している。成長時にウエハ表面への紫外線照射は、エピ層の品質をさらに向上させる。

分離領域4となる $SiO_2$ 層の側壁にはアモルファスシリコンが堆積している(第16図の工程(c))。アモルファスシリコンは固相成長で単結晶化し易いため、 $SiO_2$ 分離領域4との界面近傍の結晶が非常に優れたものになる。高抵抗 $n$ -層5を選択エピタキシャル成長により形成した後(第16図の工程(d))、製膜濃度 $1 \sim 20 \times 10^{18} \text{ cm}^{-3}$ 程度のP領域6を、ドーパントオキサイドからの拡散か、あるいは低ドーズのイオン注入層をソースとした拡散により所定の深さまで形成する。P領域6の深さはたとえば $0.8 \sim 1 \mu\text{m}$ 程度である。

P領域6の厚さと不純物濃度は以下のような考えで決定する。速度を上げようとするれば、P領域6の不純物濃度を上げて $C_{be}$ を小さくすることが望ましい。 $C_{be}$ は略々次のように与えられる。

$$C_{be} = A e^{-\left(\frac{q \cdot N}{2 \epsilon V_{bi}}\right)}$$

ただし、 $V_{bi}$ はエミッタ・ベース間拡散電位であり、

$$V_{bi} = \frac{k T}{q} \ln \frac{N}{n_i}$$

で与えられる。ここで、 $e$ はシリコン結晶の誘電率、 $N$ はエミッタの不純物濃度、 $N$ はベースのエミッタに隣接する部分の不純物濃度、 $n_i$ は真性キャリア濃度である。 $N$ を小さくする程 $C_{be}$ は小さくなって、遮断は上昇するが $N$ をあまり小さくしすぎるとベース領域が動作状態で完全に空乏化してパンチングスルー状態になってしまうため、あまり低くはできない。ベース領域が完全に空乏化してパンチングスルー状態にならない程度に設定する。

その後、シリコン基板表面に $(H_2 + O_2)$ ガス系スチーム酸化により数10Åから数100Å程度の厚さの熱酸化膜3を、800~900℃程度の温度で形成する。その上に、 $(SiH_4 + NH_3)$ 系ガスのCVDで窒化膜( $Si_3N_4$ )302を

500 ~ 1500 Å 程度の厚さで形成する。形成温度は 700 ~ 800 °C 程度である。NH<sub>3</sub> ガスも、HCl ガスと並んで通常入手できる製品は、大抵に水分を含んでいる。水分の多い NH<sub>3</sub> ガスを原料材料に使うと、酸濃度の多い窒化物となり、再現性に乏しくなると同時に、その後の SiO<sub>2</sub> 膜との選択エッチングで選択比が取れないという結果を招く。

NH<sub>3</sub> ガスも、少なくとも水分含有量が 0.5 ppm 以下のものにする。水分含有量は少ない程度まじいことはいうまでもない。窒化膜 302 の上にさらに PSG 膜 300 を CVD により堆積する。ガス系は、たとえば、(N<sub>2</sub> + SiH<sub>4</sub> + O<sub>2</sub> + PH<sub>3</sub>) を用いて、300 ~ 450 °C 程度の温度で 2000 ~ 3000 Å 程度の厚さの PSG 膜を CVD により堆積する（第 16 図の工程(e)）。2 度のマスク合せ工程を含むフォトリソグラフィ工程により、n<sup>+</sup> 領域 7 上と、リフレッシュ及び読み出しパルス印加電極上に、As ドープのポリシリコン膜 304 を堆積する。この場合 p ドープのポリシリコン膜を使ってもよい。たとえば、2 回のフォトリソグラ

フィ工程により、エミッタ上は、PSG 膜、Si<sub>3</sub>N<sub>4</sub> 膜、SiO<sub>2</sub> 膜をすべて除去し、リフレッシュおよび読み出しパルス印加電極を設ける部分には下地の SiO<sub>2</sub> 膜を残して、PSG 膜と Si<sub>3</sub>N<sub>4</sub> 膜のみエッチングする。その後、As ドープのポリシリコンを、(N<sub>2</sub> + SiH<sub>4</sub> + AsH<sub>3</sub>) もしくは (H<sub>2</sub> + SiH<sub>4</sub> + AsH<sub>3</sub>) ガスで CVD 法により堆積する。堆積温度は 550 °C ~ 700 °C 程度、膜厚は 1000 ~ 2000 Å である。ノントープのポリシリコンを CVD 法で堆積しておいて、その後 As 又は P を拡散してももちろんよい。エミッタとリフレッシュ及び読み出しパルス印加電極上を除いた他の部分のポリシリコン膜をマスク合わせフォトリソグラフィ工程の後エッチングで除去する。さらに、PSG 膜をエッチングすると、リフトオフにより PSG 膜に堆積していたポリシリコンはセルフアライン的に除去されてしまう（第 16 図の工程(f)）。ポリシリコン膜のエッチングは C、Cl<sub>2</sub>、F<sub>2</sub>、(CBF<sub>3</sub> + CF<sub>4</sub>) 等のガス系でエッチングし、Si<sub>3</sub>N<sub>4</sub> 膜は CH<sub>3</sub>

F<sub>3</sub> 等のガスでエッチングする。

次に、PSG 膜 305 を、すでに述べたようなガス系の CVD 法で堆積した後、マスク合わせ工程とエッチング工程とにより、リフレッシュパルス及び読み出しパルス電極用ポリシリコン膜上にコンタクトホールを開ける。こうした状態で、

A1、A1-Si、A2-Cu-Si 等の金属を真空蒸着もしくはスパッタによって堆積するか、あるいは

(CH<sub>3</sub>)<sub>2</sub>、A2 や A2Cl<sub>2</sub> を原料ガスとするプラズマ CVD 法、あるいはまた上記原料材料ガスの A2-C ボンドや A2-Cl ボンドを直接光照射により切断する光照射 CVD 法により A2 を堆積する。(CH<sub>3</sub>)<sub>2</sub>、A2 や A2Cl<sub>2</sub> を原料ガスとして上記のような CVD 法を行う場合には、大過剰に水素を流しておく。即ちかつ急峻なコンタクトホールに A2 を堆積するには、水分や酸素類のまったくないクリーン雰囲気の中で 300 ~ 400 °C 膜厚に基板温度を上げた CVD 法が優れている。第 1 図に示された金属配線 10 のパターンニングを終えた後、薄膜絶縁膜 306 を CVD 法で

堆積する。306 は、前述した PSG 膜、あるいは CVD 法 SiO<sub>2</sub> 膜、あるいは耐水性等を考慮し必要がある場合には、(SiH<sub>4</sub> + NH<sub>3</sub>) ガス系のプラズマ CVD 法によって形成した Si<sub>3</sub>N<sub>4</sub> 膜である。Si<sub>3</sub>N<sub>4</sub> 膜中の水素の含有量を低く抑えるためには、(SiH<sub>4</sub> + N<sub>2</sub>) ガス系でのプラズマ CVD 法を使用する。

プラズマ CVD 法によるダノージを現象させ形成された Si<sub>3</sub>N<sub>4</sub> 膜の電気的耐圧を大きくし、かつリーク電流を小さくするには光 CVD 法による Si<sub>3</sub>N<sub>4</sub> 膜がすぐれている。光 CVD 法には 2 通りの方法がある。(SiH<sub>4</sub> + NH<sub>3</sub> + H<sub>2</sub>) ガス系で外部から水銀ランプの 2537 Å の紫外線を照射する方法と、(SiH<sub>4</sub> + NH<sub>3</sub>) ガス系に水銀ランプの 1849 Å の紫外線を照射する方法である。いずれも基板温度は 150 ~ 350 °C 程度である。

マスク合わせ工程及びエッチング工程により、エミッタ上のポリシリコンに、絶縁膜 305、306 を形成したコンタクトホールをリアクティブイオンエッチで開けた後、前述した方法で A2、A2

- Si, Al-Cu-Si等の合金を堆積する。この場合には、コンタクトホールのアスペクト比が大きいため、CVD法による堆積の方がすぐれている。第1図における金属配線8のパターニングを終えた後、最終パッシベーション膜としてのSi<sub>3</sub>N<sub>4</sub>膜あるいはPSG膜2をCVD法により堆積する(第16図(g))。

この場合も、光CVD法による膜がすぐれている。12は表面のAl, Al-Si等による金属電極である。

本発明の光電変換装置の製法には、実に多彩な工程があり、第16図はほんの一例を述べたに過ぎない。

本発明の光電変換装置の重要な点は、p領域6とn<sup>-</sup>領域5の間及びp領域6とn<sup>+</sup>領域7の間のリーク電流を如何に小さく抑えるかにある。n<sup>-</sup>領域5の品質を良好にして暗電流を少なくすることはもちろんであるが、酸化膜などよりなる分離領域4とn<sup>-</sup>領域5の界面こそが問題である。第16図では、そのために、あらかじめ分離

領域4の側壁にアモルファスSiを堆積しておいてエピ成長を行う方法を説明した。この場合には、エピ成長中に基板Siからの固相成長でアモルファスSiは単結晶化されるわけである。エピ成長は、850°~1000°程度と比較的高い温度で行われる。そのため、基板Siからの固相成長によりアモルファスSiが単結晶化される前に、アモルファスSi中に微結晶が成長し始めてしまうことが多く、結晶性を悪くする原因になる。温度が低い方が、固相成長する速度がアモルファスSi中に微結晶が成長し始める速度より相対的にずっと大きくなるから、選択エピタキシャル成長を行う前に、550°~700°程度の低温処理で、アモルファスSiを単結晶しておく、界面の特性は改善される。この時、基板SiとアモルファスSiの間に酸化膜等の層があると固相成長の開始が遅れるため、両者の境界にはそうした層が含まれないような超晶格プロセスが必要である。

アモルファスSiの固相成長には上述したファナス成長の他に、基板をある程度の温度に保って

において、ファッシュランプ加熱あるいは紫外線ランプによる、たとえば数秒から数10秒程度のラビッドアニール技術も有効である。こうした技術を使う時には、SiO<sub>2</sub>層側壁に堆積するSiは、多結晶でもよい。ただし、非常にクリーンなプロセスで堆積し、多結晶体の結晶粒界に酸素、炭素等の含まれない多結晶Siにしておく必要がある。

こうしたSiO<sub>2</sub>側壁のSiが単結晶化された後、Siの選択成長を行うことになる。

SiO<sub>2</sub>分離領域4と高抵抗n<sup>-</sup>領域5界面のリーク電流がどうしても問題になる時は、高抵抗n<sup>-</sup>領域5のSiO<sub>2</sub>分離領域4に接触する部分だけ、n形の不純物濃度を高くしておくこのリーク電流の問題はさけられる。たとえば、分離SiO<sub>2</sub>領域4に接触するn<sup>-</sup>領域5の0.3~1μm程度の厚さの領域だけ、たとえば1~10×10<sup>18</sup>cm<sup>-3</sup>程度にn形の不純物濃度を高くするのである。この構造は比較的容易に形成できる。基板1上に順々1μm程度の熱酸化膜を形成した後、その上にCVD法で堆積するSiO<sub>2</sub>層を、必ず所要の厚さだけ、所

定の量のPを含んだSiO<sub>2</sub>膜にしておく。さらにその上にSiO<sub>2</sub>をCVD法で堆積するというこで分離領域4を作っておく。その後の高濃プロセスで分離領域4中にサンドイッチ状に存在する銅を含んだSiO<sub>2</sub>膜から、銅が高抵抗n<sup>-</sup>領域5中に拡散して、界面がもっとも不純物濃度が高いという良好な不純物分布を作る。

すなわち、第17図のような構造に形成するわけである。分離領域4が、3層構造に構成されていて、308は熱酸化膜SiO<sub>2</sub>、309は銅を含んだCVD法SiO<sub>2</sub>膜、301はCVD法SiO<sub>2</sub>膜である。分離領域4に接触して、n<sup>-</sup>領域5中との間に、n領域307が、銅を含んだSiO<sub>2</sub>膜309からの拡散で形成される。307はセル周辺全部に形成されている。この構造にすると、ベース・コレクタ間容量Cbcは小さくなるが、ベース・コレクタ間リーク電流は増強する。

第16図では、あらかじめ分離用絶縁領域4を作っておいて、選択エピタキシャル成長を行なう例について説明したが、基板上に必要な高抵抗

n<sup>+</sup> 層のエピタキシャル成長をしておいてから、分離領域となるべき部分をリアクティブイオンエッチングによりメッシュ状に切り込んで分離領域を形成する。Uグループ分離技術(A. Koyasaka et al., "U-groove isolation technique for high speed bipolar VLSI's", Tech. Dig. of IEDM, P.82, 1982, 参照)を使って行うこともできる。

本発明に係る光電変換装置は、絶縁物より構成される分離領域に取り囲まれた領域に、その大部分の領域が半導体ウエハ表面に隣接するベース領域が浮遊状態になされたバイポーラトランジスタを形成し、浮遊状態になされたベース領域の電位を薄い絶縁層を介して前記ベース領域の一部に設けた電極により制御することによって、光情報を変換する装置である。高不純物濃度領域よりなるエミッタ領域が、ベース領域の一部に設けられており、このエミッタは水平スキャンパルスにより動作するMOSトランジスタに接続されている。前述した、浮遊ベース領域の一部に薄い絶縁層を介して設けられた電極は、水平ラインに接続されている。ウエハ内部に設けられるコレクタは、基板で構成されることもあるし、目的によっては反対側電極抵抗基板に、各水平ラインごとに分離された高濃度不純物埋込み領域で構成される場合もある。絶縁層を介して設けられた電極で、浮遊ベース領域のリフレッシュを行なう時のパルス電圧に対して、信号を送出す時の印加パ

ルス電圧は実質的に大きい。実際に、2種類の電圧を持つパルス列を用いてもよいし、ダブルキャパシタ構造で説明したように、リフレッシュ用MOSキャパシタ電極の容量 $C_{ox}$ にくらべて読み出し用MOSキャパシタ電極の容量 $C_{ox}$ を大きくしておいてもよい。リフレッシュパルス印加により、逆バイアス状態になされた浮遊ベース領域に光誘起されたキャリアを蓄積して光信号に基ずいた信号を記憶させ、該信号読み出し時には、ベース・エミッタ間が順方向に深くバイアスされるように読み出し用パルス電圧を印加して、高速度で信号を送出せるようにしたことが特徴である。こうした特徴を備えていれば、本発明の光電変換装置はいかなる構造で実現してもよく、前記の実施例に述べられた構造に限定されないことはもちろんである。

たとえば、前記の実施例で説明した構造と漏電率がまったく反対した構造でも、もちろん同様である。ただし、この時には印加電圧の極性を完全に反転する必要がある。漏電率がまったく反対し

た構造では、領域はn型になる。すなわち、ベースを構成する不純物はAsやPになる。AsやPを含む領域の表面を酸化すると、AsやPはSi/SiO<sub>2</sub>界面のSi側にバイルアップする。すなわち、ベース内部に表面から内部に向う強いドリフト電界が生じて、光誘起されたホールはただちにベースからコレクタ側に抜け、ベースにはエレクトロンが効率よく蓄積される。

ベースがp型の場合には、通常使われる不純物はボロンである。ボロンを含むp領域表面を熱酸化すると、ボロンは酸化膜中に取り込まれるため、Si/SiO<sub>2</sub>界面近傍のSi中におけるボロン濃度はやや内部のボロン濃度より低くなる。この深さは、酸化膜厚にもよるが、通常数100 Åである。この界面近傍には、エレクトロンに対する逆ドリフト電界が生じ、この領域に光誘起されたエレクトロンは、表面に集められる傾向にある。このままだと、この逆ドリフト電界を生じている領域は不感領域になるが、表面に付いた一部にn<sup>+</sup>領域が、本発明の光電変換装置では存在している



ため、p領域のSi/SiO<sub>2</sub>界面に集まったエレクトロンは、このn<sup>+</sup>領域に再結合される前に流れ込む。そのために、たとえボロンがSi/SiO<sub>2</sub>界面近傍で減少していても、逆ドリフト電界が生じるような領域が存在しても、ほとんど不感領域にはならない。むしろ、こうした領域がSi/SiO<sub>2</sub>界面に存在すると、蓄積されたホールをSi/SiO<sub>2</sub>界面から引き離して内部に存在させるようにするために、ホールが界面で捕獲する効果が無くなり、p層のベースにおけるホール蓄積効果が良好となり、きわめて望ましい。

以上説明してきたように、本発明に光電変換装置は、浮遊状態になされた制御電極領域であるベース領域に光により励起されたキャリアを蓄積するものである。すなわち、Base Store Image Sensorと呼ばれるべき装置であり、BASISと略称する。

本発明の光電変換装置は、1個のトランジスタで1画素を構成できるため高密度化がきわめて容易であり、同時にその構造からブルーミング、ス

ミアが少なく、かつ高感度である。そのダイナミックレンジは広く取れ、内部増幅機能を有するため配線容量によらず大きな信号電圧を発生するため低雑音でかつ周辺回路が容易になるという特徴を有している。例えば従来の高品質固体増幅装置として、その工業的価値はきわめて高い。

なお、本発明に係る光電変換装置は以上述べた固体増幅装置の外に、たとえば、画像入力装置、ファクシミリ、ワークステーション、デジタル複写機、ワープロ等の画像入力装置、OCR、バーコード読取り装置、カメラ、ビデオカメラ、8ミリカメラ等のオートフォーカス用の光電変換写像検出装置等にも応用できる。

第8図(b)に、過渡的リフレッシュ動作、蓄積動作、読出し動作、そして過渡的リフレッシュ動作と巡回するときの、エミッタ・ベース、コレクタ各端における電位レベルを表したものを示す。各部位の電圧レベルは外部的に見た電位であり、内部のポテンシャルレベルとは一般一致していない所もある。

説明を簡単にするためにエミッタ・ベース間の拡散電位は除いてある。したがって、第8図(b)でエミッタとベースが同一レベルで表される時には、実際にはエミッタ・ベース間に

$$\frac{kT}{q} \ln \frac{N_D \cdot N_A}{n_i^2}$$

で与えられる拡散電位が存在するわけである。

第8図(b)において、状態①、②はリフレッシュ動作を、状態③は蓄積動作を、状態④、⑤は読出し動作を、状態⑥はエミッタを接地したときの動作状態をそれぞれ示す。また電位レベルは0ボルトを境にして上側が負、下側が正電位をそれぞれ示す。状態①になる前のベース電位はゼロボルトであったとし、またコレクタ電位は状態①か

らゆまで全て正電位にバイアスされているものとする。

上記の一連の動作を第8図(a)のタイミング図と共に説明する。

第8図(a)の波形B7のごとく、時刻t<sub>1</sub>において、端子37に正電圧、すなわちリフレッシュ電圧V<sub>ss</sub>が印加されると、第8図(b)の状態①に電位200のごとくベースには、すでに説明した様に、

$$\frac{C_{ox}}{C_{ox} + C_{be} + C_{bc}} V_{ss}$$

なる分圧がかかる。この電位は時刻t<sub>1</sub>からt<sub>2</sub>の間、次第にゼロ電位に向かって減少していく。時刻t<sub>2</sub>では、第8図(b)の点線で示した電位201となる。この電位は前に説明した様に、過渡的リフレッシュモードにおいて、ベースに残る電位V<sub>2</sub>である。時刻t<sub>3</sub>において、波形B7のごとく、リフレッシュ電圧V<sub>ss</sub>がゼロ電圧にもどる瞬間に、ベースには、

$$-\frac{C_{ox}}{C_{ox} + C_{be} + C_{bc}} V_{ss}$$

なる電圧が前と同様、容量分圧により発生するので、ベースは残っていた電圧  $V_E$  と新しく発生した電圧との加算された電位となる。すなわち、状態曲において示されるベース電位 202 であり、これは、

$$V_E = \frac{C_{ox}}{C_{ox} + C_{be} + C_{bc}} V_{en}$$

で与えられる。

この様なエミッタに対して逆バイアス状態において光が入射してくると、この光により発生したホールがベース領域に蓄積されるので、状態曲のごとく、入射してくる光の強さに応じて、ベース電位 202 はベース電位 203、203'、203'' のごとく次第に正電位に向かって変化する。この光により発生する電圧を  $V_P$  とする。

次いで図形 69 のごとく、水平ラインに垂直シフトレジスタより電圧、すなわち読出し電圧  $V_o$  が印加されると、ベースには

$$\frac{C_{ox}}{C_{ox} + C_{be} + C_{bc}} V_o$$

に設定した読出しパルス幅が  $1 \sim 2 \mu s$  位のとき、約  $50 \sim 100 mV$  程度であり、この電圧を  $V_o$  とすると、エミッタ電位 207、207'、207'' は前の例の様に  $0.1 \mu s$  以上のパルス幅であれば直線性は十分確保されるので、それぞれ  $V_P + V_o$ 、 $V_P' + V_o$ 、 $V_P'' + V_o$  となる。

ある一定の読出し時間の後、図形 69 のごとく読出し電圧  $V_o$  がゼロ電位になった時点で、ベースには

$$= \frac{C_{ox}}{C_{ox} + C_{be} + C_{bc}} \cdot V_o$$

なる電圧が加算されるので、状態曲のごとくベース電位は、読出しパルスが印加される前の状態、すなわち逆バイアス状態になり、エミッタの電位変化は停止する。すなわち、このときのベース電位 208 は、

$$V_E = \frac{C_{ox}}{C_{ox} + C_{be} + C_{bc}} \cdot V_{en}$$

ベース電位 209、209'、209'' はそれぞれ、

なる電圧が加算されるので、光がまったく照射されないときのベース電位 204 は

$$V_E = \frac{C_{ox}}{C_{ox} + C_{be} + C_{bc}} (V_o - V_{en})$$

となる。このときの電位 204 は前に説明したごとく、エミッタに対して  $0.5 \sim 0.6 V$  程度順方向にバイアス状態になる様に、設定される。また、ベース電位 205、205'、205'' はそれぞれ

$$V_E + V_P = \frac{C_{ox} (V_o - V_{en})}{C_{ox} + C_{be} + C_{bc}}$$

$$V_E + V_P' = \frac{C_{ox} (V_o - V_{en})}{C_{ox} + C_{be} + C_{bc}}$$

$$V_E + V_P'' = \frac{C_{ox} (V_o - V_{en})}{C_{ox} + C_{be} + C_{bc}}$$

で与えられる。

ベース電位が、この様に、エミッタに対して、順方向バイアスされると、エミッタ側からエレクトロンの注入がおり、エミッタ電位は次第に正電位方向に動いていくことになる。光が照射されなかったときのベース電位 204 に対するエミッタ電位 206 は、順方向バイアスを  $0.5 \sim 0.6 V$

$$V_E + V_P = \frac{C_{ox}}{C_{ox} + C_{be} + C_{bc}} \cdot V_{en}$$

$$V_E + V_P' = \frac{C_{ox}}{C_{ox} + C_{be} + C_{bc}} \cdot V_{en}$$

$$V_E + V_P'' = \frac{C_{ox}}{C_{ox} + C_{be} + C_{bc}} \cdot V_{en}$$

で与えられる。これは読出しが始まる前の状態曲とまったく同じである。

この状態曲において、エミッタ側の光情報信号が外端へ読出されるわけである。この読出しが終わった後、各スイッチング MOS トランジスタ 4B、4B'、4B'' が導通状態となり、エミッタが接地されて状態曲のごとく、エミッタはゼロ電位となる。これで、リフレッシュ動作、蓄積動作、読出し動作と一巡し、次に状態曲にもどるわけであるが、この時、最初リフレッシュ動作に入る前は、ベース電位がゼロ電位からスタートしたのに対して、一巡してきた後は、ベース電位が

$$V_E = \frac{C_{ox}}{C_{ox} + C_{be} + C_{bc}} \cdot V_{en}$$

およびそれに、それぞれ  $V_P$ 、 $V_P'$ 、 $V_P''$  が

加算された電位に変化していることになる。したがって、この状態で、リフレッシュ電圧  $V_{\text{ref}}$  が印加されたとしてもベース電位はそれぞれ  $V_e$ 、 $V_e + V_p$ 、 $V_e + V_p'$ 、 $V_e + V_p''$  になるだけであり、これでは、ベースに、十分な順方向バイアスがかからず、光の強くあたった所は順方向バイアス量が大きいので光情報は消えるものの、光の弱い部分の情報は消えずに残るということが生ずることは第8図に示したリフレッシュ動作の計算例から見てもあきらかである。

このような現象は過渡的リフレッシュモード独特のものであり、完全リフレッシュモードでは、ベース電位が必ずゼロ電位になるまで長いリフレッシュ時間をとるために、このような問題は生じない。

ランジスタのベース領域は、センサセルのコレクタ領域1とはルースカップリングされているわけであり、等価回路では点線で示している。また、この埋込  $p^+$  領域220は結晶内部で配線222のごとく結線されており、センサエリア外から電圧を印加できる構造となっている。

第18図(b)から明らかなように、 $p^+$  埋込領域220は、222に示されるように水平ライン方向に一つのラインを形成するわけであるから実際には、第18図(a)では左右に連続してつながった  $p^+$  うめこみ領域として示すべきものである。第18図(a)ではわかり易くするために模式的に一部に  $p^+$  領域を示している。

内部の電子に対するポテンシャルは第14図(c)に示すごとくであり、埋込  $p^+$  領域220を含まない垂直断面でのポテンシャル分布は第1図に示したものと何ら変わらないが、埋込  $p^+$  領域220を含む、垂直断面でのポテンシャル分布は点線223で示す様なポテンシャル分布を有している。但し、この図では埋込  $p^+$  領域2

高遮りフレッシュが可能な過渡的リフレッシュモードを使い、かつこのような不都合の生じない方法について以下に述べる。

これを解決する一つの方法は、状態(b)においてベース電位210が負電位方向、すなわちエミッタに対して逆バイアス方向になりすぎているからであり、次の状態(c)において、リフレッシュパルスが印加される前に何らかの方法で、このベース電位210をゼロ電位、又は、わずかに正電位に持ってあげれば良いことになる。

第18図(a)に、それを達成するための光センサセルの断面図を、(b)にその等価回路図を、(c)に内部ポテンシャル図を、それぞれ示す。

第18図(a)は、第1図に示したセンサセルとは埋込  $p^+$  領域220のあることだけが異なっている。第18図(b)の等価回路は、センサセルのベース領域6をコレクタ、埋込  $p^+$  領域220をエミッタ、ベース領域6とコレクタ領域1の中間の高抵抗  $n^-$  領域5の一部をベースとした  $pnp$  トランジスタ221が付加されている。  $pnp$  ト

220がわずかに正電位にバイアスされたときのポテンシャル分布をしている。この状態で、埋込  $p^+$  領域220をさらに、正電位方向にバイアスすると、間に存在する  $n^-$  領域が完全にパンチスルー状態になり、 $p^+$  領域よりホールがセンサセルのベース領域6に向かって流れこむことになり、このホールによりベース領域6は正電位方向に電位が動いてくる。

$n^-$  領域をパンチスルー状態にして、 $p^+$  領域220からホールを  $p$  ベース領域に流し込むには、 $n^-$  領域の長さ  $d$ 、不純物密度  $N$ 、 $p^+$  領域220に加える電圧を  $V_{p^+}$  とすると

$$V_{p^+} + V_{bi} > \frac{qNd^2}{2\epsilon}$$

のように設計する。  $V_{bi}$  は  $p^+n^-$  接合の拡散電位である。

したがって、第8図(b)の状態(c)において、埋込  $p^+$  領域220を配線222を通して正電圧を印加して、 $p$  ベース領域にホールを注入することにより、ベース電位210を先に説明したごとく、ゼロ電位又はわずかに正電位に持ってくこと

により過渡的リフレッシュモードにおける不都合な現象を解決することが可能である。このとき埋込 $p^+$ 領域220に印加する電圧は、センサセルコレクタ1に印加している電圧よりもわずかに小さい電圧、すなわち埋込 $p^+$ 領域220とコレクタの $n$ 領域1が順方向バイアスとならない様な状態で、十分ベース領域6に、ホールを渡しこむことが可能である。

$p^+$ 領域を形成する不純物（通常ボロン）は、一般に拡散定数が大きく、高抵抗 $n^-$ 領域5をエピタキシャル技術を用いて形成する時にオートドーピングおよび拡散の問題が発生するが、エピタキシャル技術の低温度化により、埋込 $p^+$ 領域からのオートドーピングおよび拡散を極力抑えることが可能である。

以上の一実施例は、すでに説明した、基本光センサセルに対して埋込 $p^+$ 領域を拡散もしくはイオン注入により付加することだけが異なり、後の部分の作成方法はまったく同じで良い。第19図に、もう一つの実施例を説明するための光センサ

セル断面図を示す。第19図に示した断面図では、第18図(a)に示した埋込 $p^+$ 領域220の代りに、ベース領域6を作るとき、同時に表面側に $p$ 領域224を作る構造となっている。この $p$ 領域224をエミッタとし、低不純物 $n^-$ 領域5をベース、光センサセルのベース6をコレクタとする $p-n-p$ トランジスタを構成している。これは図の第18図で示したものが、縦構造の $p-n-p$ トランジスタを形成していたのに対して、横構造の $p-n-p$ トランジスタを形成しているわけである。したがって、この第19図の実施例では、この $p$ 領域224に電圧を供給するのは、表面側の配線225を介して行なわれる。

この第19図に示した実施例の等価回路は、 $p-n-p$ トランジスタが縦構造、横構造のちがいはあるものの、第18図(b)に示した等価回路とまったく同じであり、また、その動作もすでに説明したものとまったく同じである。

第19図に示した断面図では、 $p^+$ 領域224、これの配線225がMOSキャパシタ電

極9、エミッタ領域7および配線8と、説明の都合上全て同一断面内に描いているが、同一の光センサセルの中の他の部分に配線することも可能であり、これは、光入射する窓の形状、配線等の設計要因から決定されることになる。

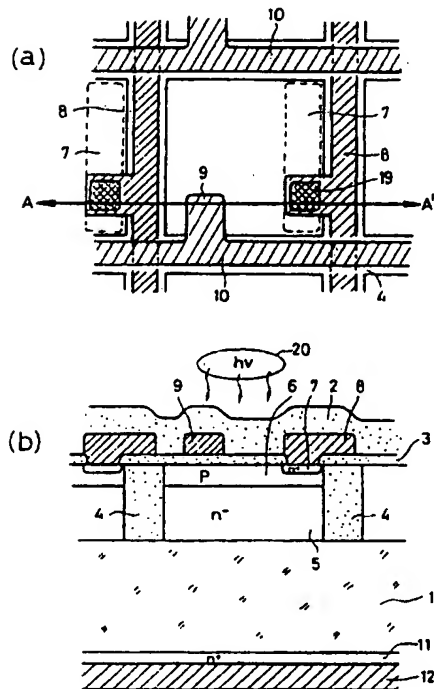
#### 4 図面の簡単な説明

第1図から第8図までは、本発明の一実施例に係る光センサセルの主要構造及び基本動作を説明するための図である。第1図(a)は平面図、(b)は断面図、(c)は等価回路図であり、第2図は読出し動作時の等価回路図、第3図は読出し時間と読出し電圧との関係を示すグラフ、第4図(a)は基結電圧と読出し時間との関係を示すグラフ、第4図(b)はバイアス電圧と読出し時間との関係を示すグラフ、第5図はリフレッシュ動作時の等価回路図、第6図(a)～(c)はリフレッシュ時間とベース電位との関係を示すグラフである。第7図から第10図までは、第1図に示す光センサセルにより構成した光電変換装置の説明図であり、第7図は回路図、第8図(a)はパルスタイミング図、第8図(b)は各動作時の電位分布を示すグラフである。第9図は出力信号に関する等価回路図、第10図は導通した期間からの出力電圧を時間との関係で示すグラフである。第11、12及び13図は他の光電変換装置を示す回路図であ

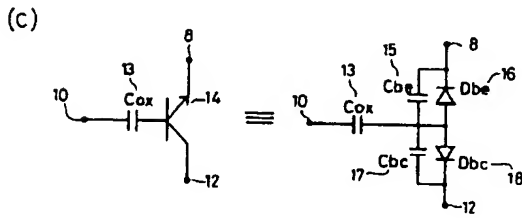
る。第14図は光センサセルの変形例の主要構造を説明するための平面図である。第15図は、第14図に示す光センサセルにより構成した光電変換装置の回路構成図である。第16図及び17図は本発明の光電変換装置の一製造方法例を示すための断面図である。第18図は本発明の実施例に係る光センサセルを示し、(a)は断面図、(b)はその等価回路図、(c)はポテンシャル分布図である。第19図は光センサセルの他の変形例の主要構造を示す断面図である。

1…シリコン基板、2…PSG膜、3…絶縁層、4…素子分離領域、5… $n^-$ 領域(コレクタ領域)、6… $p$ 領域(ベース領域)、7、7'… $n^+$ 領域(エミッタ領域)、8…配線、9…電極、10…配線、11… $n^+$ 領域、12…電極、13…コンデンサ、14…バイポーラトランジスタ、15、17…接合容量、16、18…ダイオード、19、19'…コンタクト部、20…光、21…垂直ライン、30…光センサセル、31…水平ライン、32…垂直シフトレジスタ、33、35…MOSトランジスタ、36、37…端子、38…垂直ライン、39…水平シフトレジスタ、40…MOSトランジスタ、41…出力ライン、42…MOSトランジスタ、43…端子、44…トランジスタ、44、45…負荷抵抗、46…端子、47…端子、48…MOSトランジスタ、49…端子、61、62、63…区間、64…コレクタ電位、67…波形、80、81…容量、82、83…抵抗、84…電流源、100、101、102…水平シフトレジスタ、111、112…出力ライン、138…垂直ライン、140…MOSトランジスタ、148…MOSトランジスタ、150、150'…MOSコンデンサ、152、152'…光センサセル、202、203、205…ベース電位、220…導込 $p^+$ 領域、222、225…配線、251… $p^+$ 領域、252 $n^+$ 領域、253…配線、300…アモルファスシリコン、302…酸化膜、303…PSG膜、304…ポリシリコン、305…PSG膜、306…界面絶縁膜。

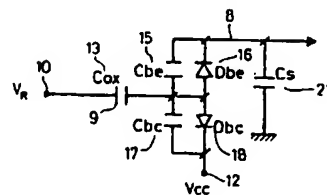
第1図



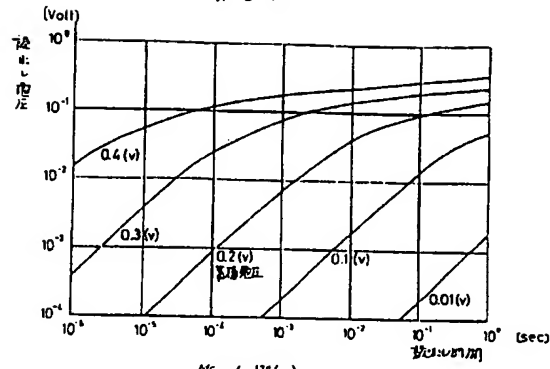
第1図



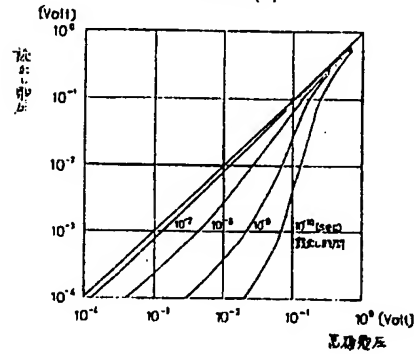
第2図



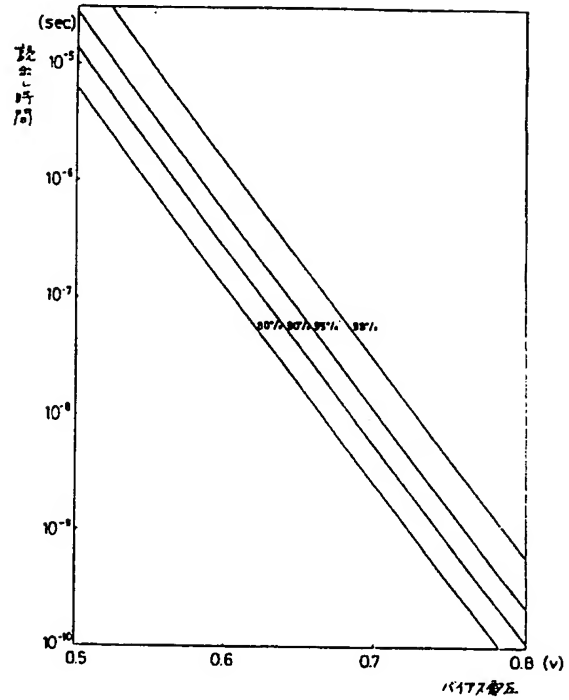
第 3 図



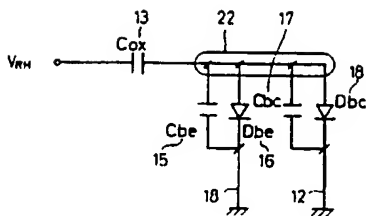
第 4 図(a)



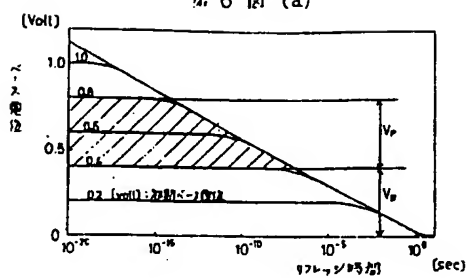
第 4 図 (b)



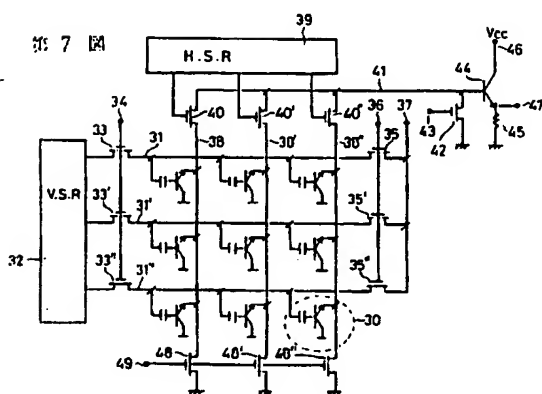
第 5 図



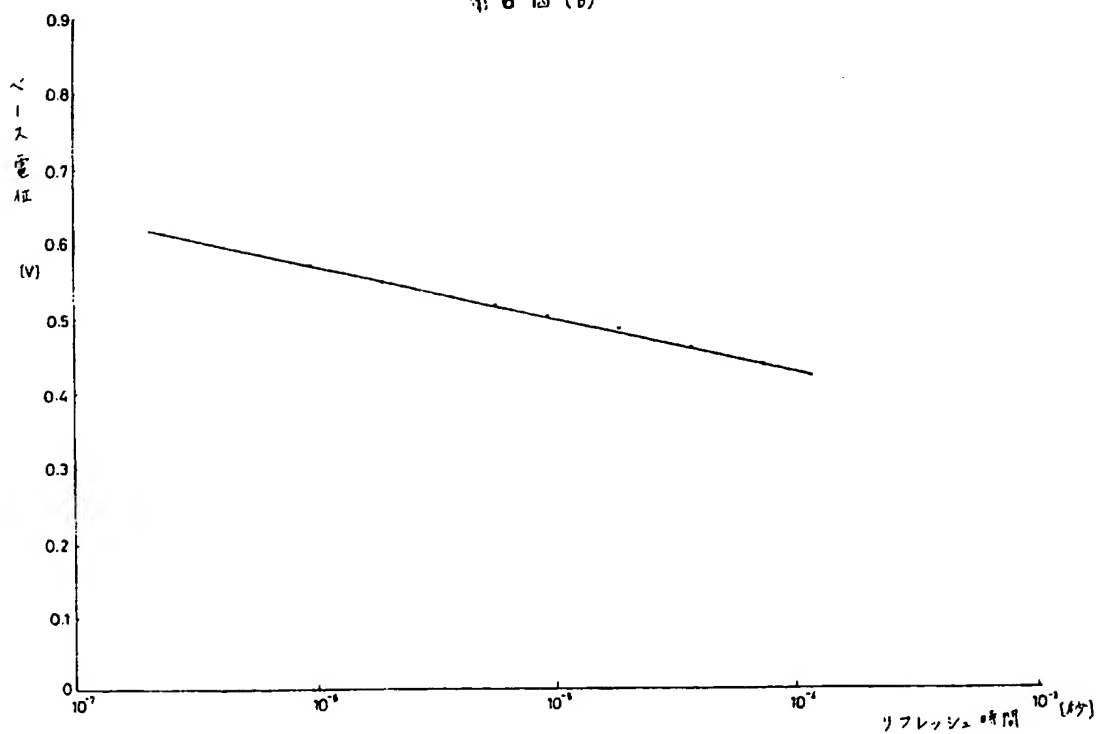
第6図(a)



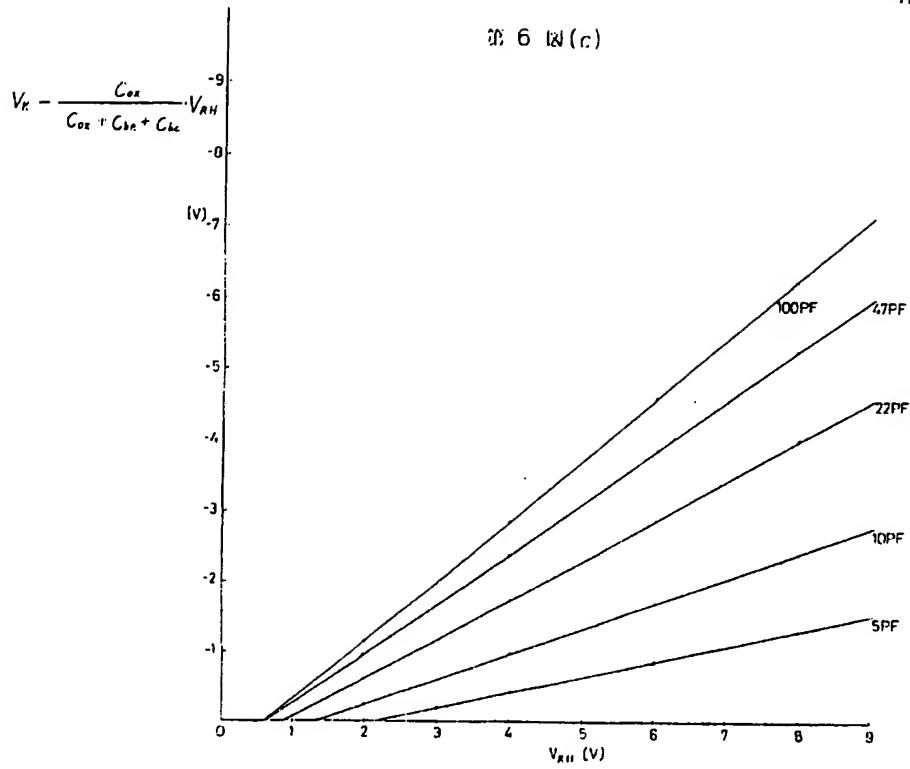
第7図



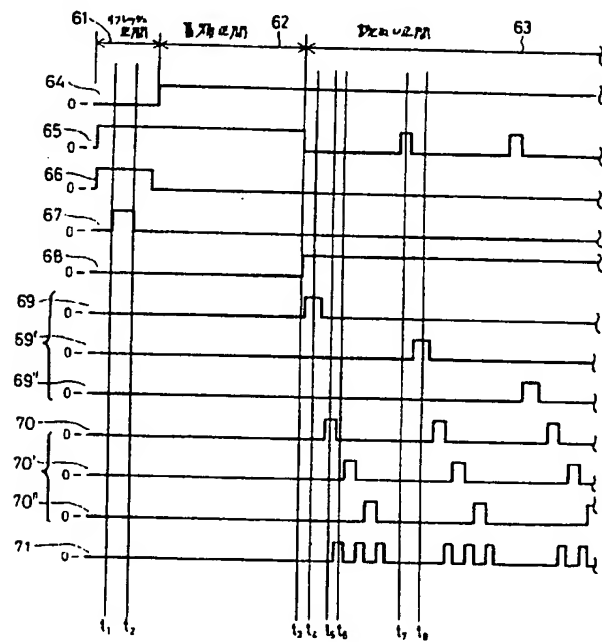
第6図(b)



第 6 図 (c)

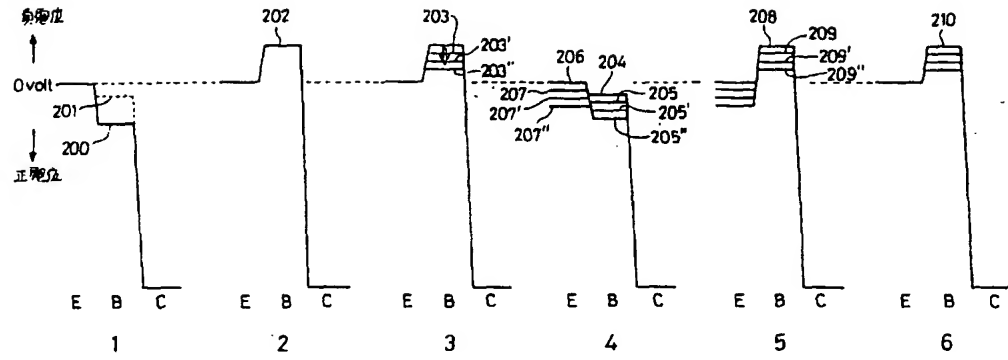


第 8 図 (a)

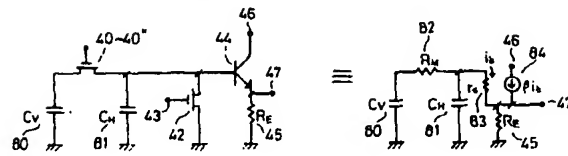




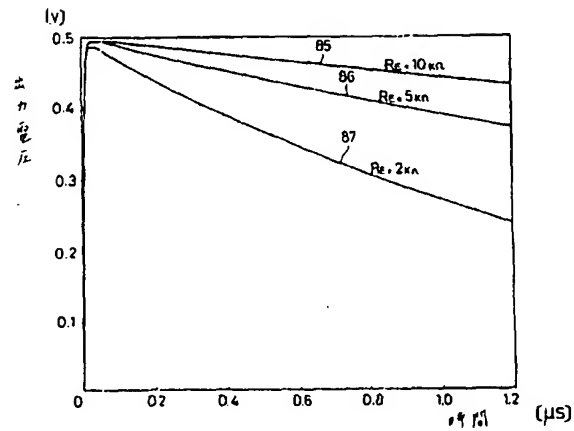
第 8 圖 (b)



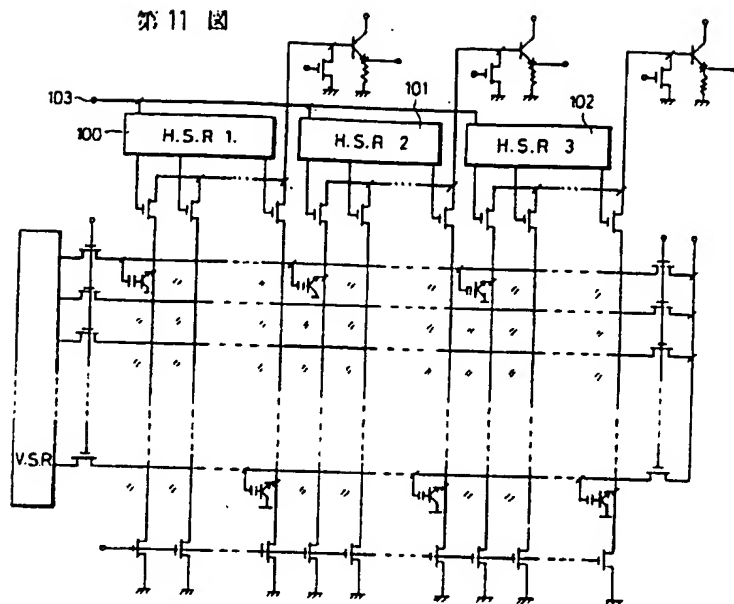
第 9 圖



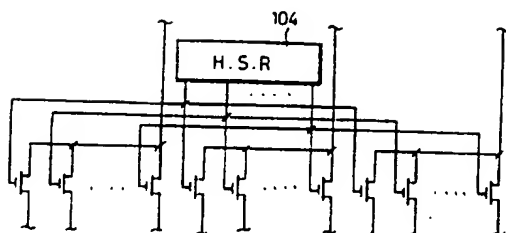
第 10 圖



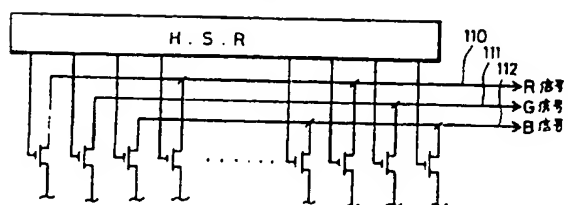
第 11 図



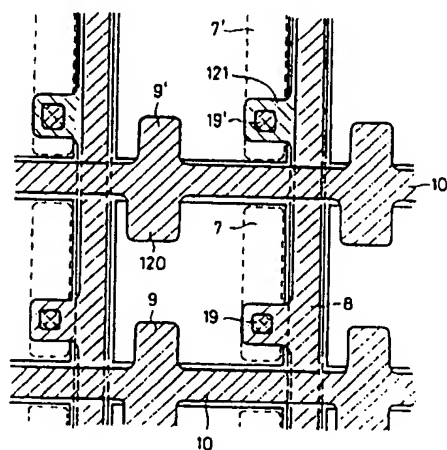
第 12 図



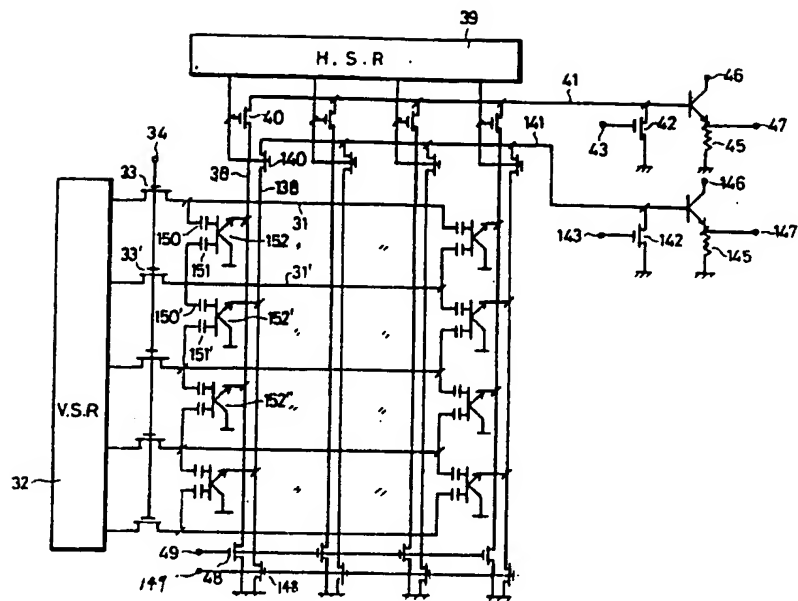
第 13 図



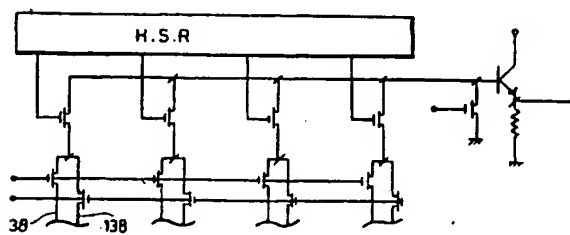
第 14 図



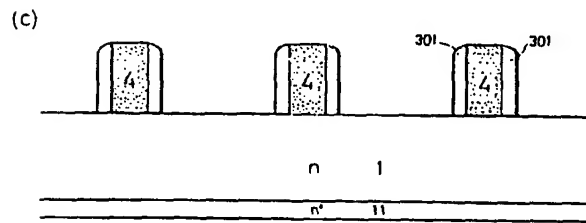
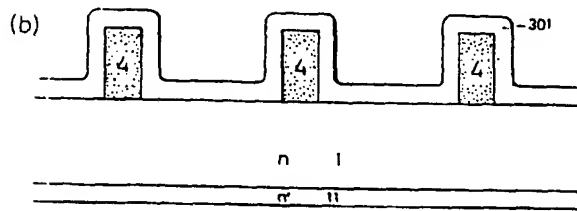
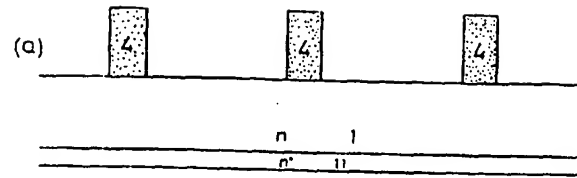
第15圖(a)



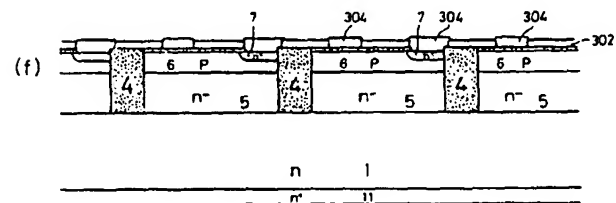
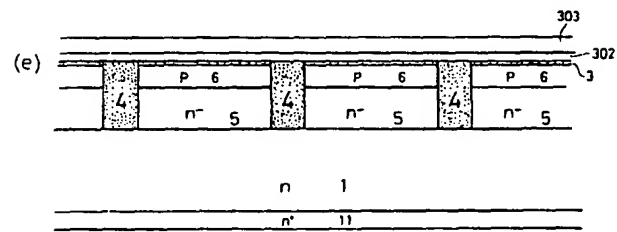
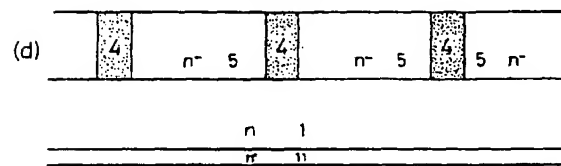
第15圖(b)



第16図

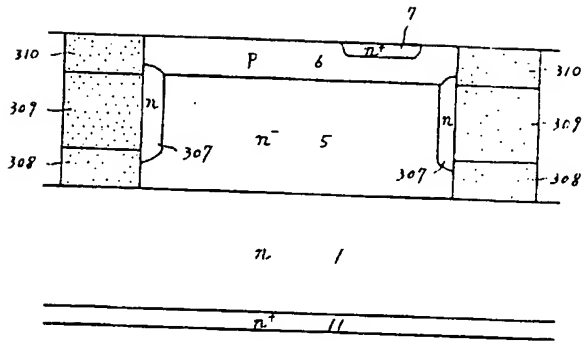
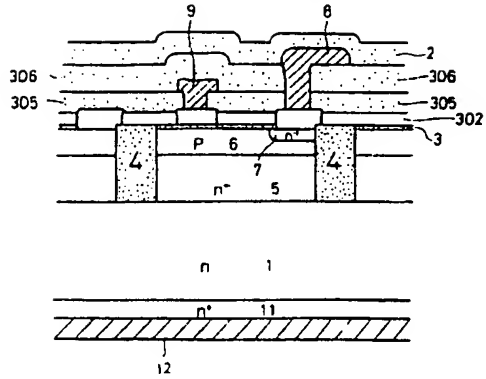


第16図

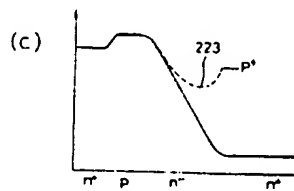
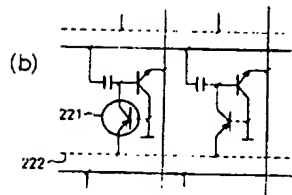
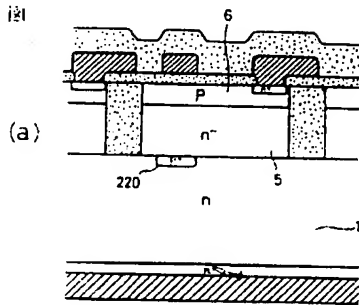


第 17 図

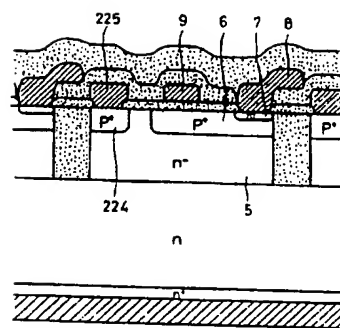
第 16 図 (g)



第 18 図



第 19 図



## 特許出願書

昭和59年 5月23日

特許庁長官 荻 杉 和 夫 殿

## 1. 事件の表示

特開昭58-120752号

## 2. 発明の名称

光電変換装置

## 3. 補正をする者

事件との関係 特許出願人

氏名 大 見 忠 弘

## 4. 代理人

住所 東京都港区虎ノ門五丁目13番1号虎ノ門40森ビル

氏名 (6538) 弁護士 山下 稔



## 5. 補正の対象

明細書の発明の詳細な説明の欄

## 6. 補正の内容

(1) 明細書第19頁第12行の「10 cm<sup>12</sup>」を「10<sup>12</sup> cm<sup>-12</sup>」と補正する。

(2) 明細書第22頁第6行の

$$-V_1 + \frac{C_{ox}}{C_{ox} + C_{be} + C_{bc}} \cdot V = 0$$

を

$$-V_1 + \frac{C_{ox}}{C_{ox} + C_{be} + C_{bc}} \cdot V_0 = 0$$

と補正する。

(3) 明細書第34頁第14行の「10 [sec]」を

「10<sup>-9</sup> [sec]」と補正する。

(4) 明細書第36頁下から1行目の「電圧V」を

「電圧V<sub>A</sub>」と補正する。

(5) 明細書第41頁下から5行目～4行目の「、バッファMOSトランジスタ33, 33', 33''」を削除する。

(6) 明細書第45頁下から2行目の「はクリップ」を「クリップ」と補正する。



方式 (西)

(7) 明細書第53頁第6行の「本質的に」の前に「と」を挿入する。

(8) 明細書第53頁下から7行目の「途中」の後に「に」を挿入する。

(9) 明細書第64頁第1行の「エミッタ7. は」を「エミッタ7. 7' は」と補正する。

(10) 明細書第64頁第6行の「エミッタはコンタクトホール1」を「エミッタ7' はコンタクトホール19」を」と補正する。

(11) 明細書第64頁下から8行目の「水平ライン3 に」を「水平ライン3 1' に」と補正する。

(12) 明細書第64頁下から6行目の「セル15 の」を「セル15 2' の」と補正する。

(13) 明細書第64頁下から6行目の「MOSキャパシタ15 は」を「MOSキャパシタ15 0' は」と補正する。

(14) 明細書第64頁下から5行目の「水平ライン3 に」を「水平ライン3 1' に」と補正する。

(15) 明細書第64頁下から3行目の「光センサセル15 の」を「光センサセル15 2' の」と補正する。

(16) 明細書第64頁下から2行目の「光センサセル15 の」を「光センサセル15 2' の」と補正する。

(17) 明細書第66頁第6行～7行および第12行の「水平ライン3 に」を「水平ライン3 1' に」と補正する。

(18) 明細書第66頁第12行～13行の「MOSキャパシタ15 を通して光センサセル15 の」を「MOSキャパシタ15 0' を通して光センサセル15 2' の」と補正する。

(19) 明細書第68頁下から2行目および1行目と、第67頁第8行目の「光センサセル」を「光センサセル」に補正する。

(20) 明細書第68頁下から5行目の「コレクター」を「コレクタ」と補正する。

(21) 明細書第68頁下から4行目および下から3行目の「n 埋込領域」を「n' 埋込領域」と補正する。

(22) 明細書第77頁第7行の「(c).」を「(c).」と補正する。

(23) 明細書第78頁第1行の

$$C_{be} = A e^{-\left(\frac{q \cdot N}{2 \epsilon V_{bi}}\right)}$$

$$C_{be} = A e^{-\left(\frac{q \cdot N_A}{2 \epsilon V_{bi}}\right)}$$

と補正する。

(24) 明細書第78頁第4行の

$$\begin{aligned} V_{bi} &= \frac{kT}{q} \ln \frac{N}{n_i} \\ V_{bi} &= \frac{kT}{q} \ln \frac{N_D N_A}{n_i^2} \end{aligned}$$

と補正する。

(25) 明細書第78頁第6行の「N はエミッタの不純物濃度、

N はベース」を「N<sub>0</sub> はエミッタの不純物濃度、N<sub>A</sub> はベース」と補正する。

(26) 明細書第78頁第8行および9行の「N」を「N<sub>A</sub>」と補正する。

(27) 明細書第86頁第10行の「SiO<sub>2</sub>、309は」を

「SiO<sub>2</sub>、309は」と補正する。

(28) 明細書第91頁第12行の「本発明に」を「本発明の」と補正する。

(29) 明細書第96頁下から4行目の「Gロン」を「トロン」と補正する。

(30) 明細書第97頁第6行の「V<sub>p</sub>+V<sub>0</sub>+」を「V<sub>p</sub>+V<sub>0</sub>」と補正する。

(31) 明細書第101頁第11行の「p<sup>+</sup>うめこみ領域」を

「p<sup>+</sup>埋込領域」と補正する。

(32) 明細書第101頁下から6行目の「14図(c)」を「18図(c)」と補正する。

(33) 明細書第101頁下から4行目の「1図」を「第8図(b)」と補正する。